

**UNIVERSIDADE POSITIVO
NÚCLEO DE CIÊNCIAS EXATAS E TECNOLÓGICAS
ENGENHARIA DA COMPUTAÇÃO**

MÓDULOS ANALÓGICOS RECONFIGURÁVEIS

Maira Ranciaro

**Monografia apresentada à disciplina de Projeto Final como requisito parcial à conclusão
do Curso de Engenharia da Computação, orientada pelo Prof. Valfredo Pilla Jr.**

**UP/NCET
Curitiba
2008**

TERMO DE APROVAÇÃO

Maira Ranciaro

Módulos analógicos reconfiguráveis

Monografia aprovada como requisito parcial à conclusão do curso de Engenharia da Computação da Universidade Positivo, pela seguinte banca examinadora:

Prof. Valfredo Pilla Jr (orientador)

Prof. Marcelo Mikosz Gonçalves

Prof. José Carlos da Cunha

Curitiba, 8 de Dezembro de 2008.

AGRADECIMENTOS

Gostaria de agradecer a todos que contribuíram de alguma forma para este projeto.

Primeiramente a dedicação e compreensão do meu orientador Valfredo Pilla Jr.

Aos meus pais pela dedicação e apoio nas horas mais difíceis e sem os quais não conseguiria chegar até aqui.

Aos amigos de faculdade Rafael Descio, Rafael França, Cristiano e Eduardo Zuffo pela companhia e auxílio tanto no projeto de conclusão como durante o decorrer do curso, sem vocês não teria sido possível passar por mais esta fase, sem contar as saudades dos momentos divertidos.

Não poderia deixar de agradecer ao Ricardo Ross e Eduardo Robin pelas coisas que aprendi trabalhando com eles e o auxílio que deram na minha formação.

E principalmente ao Celso que esteve ao meu lado em todos os momentos, felizes e difíceis, e que agüentou e compreendeu a minha ausência quando necessitava de tempo para o estudo.

RESUMO

Entre os campos atuais de pesquisa sobre o projeto de circuitos eletrônicos encontra-se o de Hardwares Evolutivo (*EHW – Evolvable Hardware*), os quais são formados por um hardware reconfigurável analógico, como os FPAA's (*Field Programmable Analog Arrays*), ou digitais, como os FPGAs (*Field Programmable Gate Arrays*) e um algoritmo evolutivo, como o algoritmo genético. Em um EHW se organiza a arquitetura do hardware e o algoritmo para se adaptar os parâmetros do hardware segundo necessidades relacionadas à aplicação do mesmo. Neste contexto, este trabalho desenvolve um conjunto de módulos analógicos com capacidade de reconfiguração. Um software de operação e uma interface com o computador pessoal estão disponíveis para testes dos módulos. O sistema possui quatro módulos: o módulo de configuração, módulo de entrada (módulo de ganho), módulo de filtro Passa-Baixa e módulo de filtro Passa -Alta. As variáveis configuradas são: as frequências de corte de ambos os filtros, o ganho e o tipo de entrada (diferencial, não-inversora e inversora) no módulo de entrada.

Palavras chave: Algoritmos Genéticos, *Field Programmable Array* (FPGA), Computação Reconfigurável, Hardware Reconfigurável.

ABSTRACT

Among the fields of current research on the design of electronic circuits is the hardware of Evolvable (EHW - Evolvable Hardware), which are formed by a reconfigurable analog hardware, such as FPAAAs (Field Programmable Analog Arrays), or digital, as the FPGAs (Field Programmable Gate Arrays) and an evolutionary algorithm, such as genetic algorithm. In a EHW is organising the architecture of the hardware and algorithm to adapt the parameters of the hardware needs related to the second application. In this context, this paper develops a set of analog modules with a capacity of reconfiguration. One of operation and a software interface to the personal computer are available for testing of the modules. The system has four modules: a module for configuration, input module (module gain), the filter module Moves Lower-and-Moves filter module, Alta. The variables are set: the cut-off frequencies of both filters, the gain and type of input (differential, non-inversora and inversora) in the module of entry.

Key words: Genetic Algorithms, Field Programmable Array (FPGA), Reconfigurable Computer, Hardware Reconfigurable.

SUMÁRIO

LISTA DE FIGURAS
LISTA DE TABELAS
LISTA DE SIGLAS
LISTA DE SIMBOLOS

	Pág.
CAPÍTULO 1 – INTRODUÇÃO	13
1.1 – MOTIVAÇÃO	13
1.2 – DESCRIÇÃO DO TRABALHO	13
CAPÍTULO 2 – FUNDAMENTAÇÃO TEÓRICA.....	14
2.1 – HARDWARE EVOLUTIVO.....	14
2.1 – HARDWARE RECONFIGURÁVEL.....	14
2.1.1 – <i>Fusion Programmable System Chip – FPSC</i>	14
2.1.2 – <i>Dynamic Programmable Analog Signal – DPAS</i>	15
CAPÍTULO 3 – ESPECIFICAÇÃO DO PROJETO	17
3.1 – ESPECIFICAÇÃO DE HARDWARE	17
3.1.1 – <i>Módulo de configuração</i>	17
3.1.2 – <i>Módulo de ganho</i>	18
3.1.3 – <i>Módulos de Filtro</i>	19
3.2 – ESPECIFICAÇÃO DE SOFTWARE.....	20
CAPÍTULO 4 – DESENVOLVIMENTO E IMPLEMENTAÇÃO.....	23
4.1 – TESTES PRELIMINARES	23
4.1.1 – <i>Teste do Chaveamento dos Capacitores no FPA</i>	23
4.1.2 – <i>Teste da comunicação serial</i>	23
4.1.3 – <i>Teste do potenciômetro</i>	24
4.2 – PROJETO DO HARDWARE	24
4.2.1- <i>Fontes de Alimentação</i>	24
4.2.2- <i>Módulo de Configuração</i>	25
4.2.3- <i>Módulo de Ganho</i>	27
4.2.4- <i>Módulo de FPB</i>	30
4.2.5- <i>Módulo de FPA</i>	31
4.3 – PROJETO DO SOFTWARE	32
4.3.1- <i>Firmware</i>	32
4.3.2 – <i>Software</i>	33

CAPITULO 5 – VALIDAÇÃO E RESULTADOS.....	39
CAPITULO 6 – CONCLUSÃO	47
REFERENCIAS BIBLIOGRAFICAS.....	48
APÊNDICE A - CRONOGRAMA.....	49
APÊNDICE B - ESTUDO DE VIABILIDADE TÉCNICO ECONOMICA	50

LISTA DE FIGURAS

	Pág.
<i>Figura 1: Diagrama Geral do projeto.....</i>	<i>13</i>
<i>Figura 2: Sistema típico X Sistema utilizando FPSC (ACTEL).</i>	<i>15</i>
<i>Figura 3: Estrutura interna do DPAS (ANADIGM).....</i>	<i>16</i>
<i>Figura 4: Diagrama em blocos do hardware.....</i>	<i>17</i>
<i>Figura 5: Protocolo de comunicação entre microcomputador e microprocessador.</i>	<i>18</i>
<i>Figura 6: Diagrama em blocos do módulo de ganho.....</i>	<i>18</i>
<i>Figura 7: Diagrama em blocos do módulo de filtro Passa-Baixa.....</i>	<i>19</i>
<i>Figura 8: Diagrama em blocos do módulo de filtro Passa-Alta</i>	<i>20</i>
<i>Figura 9: Fluxograma do software.</i>	<i>21</i>
<i>Figura 10: Fluxograma do firmware.....</i>	<i>22</i>
<i>Figura 11: Chaveamento dos capacitores.....</i>	<i>23</i>
<i>Figura 12: Interface do software de teste da serial.....</i>	<i>23</i>
<i>Figura 13: Configuração do potenciômetro.....</i>	<i>24</i>
<i>Figura 14: Fonte de alimentação de +15V e -15V.....</i>	<i>25</i>
<i>Figura 15: Fonte de alimentação de 5V.....</i>	<i>25</i>
<i>Figura 16: Módulo de configuração utilizando PIC18F4620.....</i>	<i>26</i>
<i>Figura 17: Comunicação serial do módulo de configuração.....</i>	<i>26</i>
<i>Figura 18: Circuito Grampeador.....</i>	<i>28</i>
<i>Figura 19: Seleção da entrada.</i>	<i>28</i>
<i>Figura 20: Amplificador de instrumentação.</i>	<i>29</i>
<i>Figura 21: Circuito Amplificador.</i>	<i>29</i>
<i>Figura 22: Circuito FPB.</i>	<i>30</i>
<i>Figura 23: Circuito FPA.</i>	<i>31</i>
<i>Figura 24: Protocolo de comunicação entre software e firmware.....</i>	<i>32</i>
<i>Figura 25: Diagrama de Estados do firmware.</i>	<i>33</i>
<i>Figura 26: Diagrama de Caso e Uso do Software.</i>	<i>34</i>
<i>Figura 27: Diagrama UML da classe Calc_Filtros.....</i>	<i>34</i>
<i>Figura 28: Diagrama UML da classe Calc_Ganho.....</i>	<i>34</i>
<i>Figura 29: Diagrama UML da classe Calcula_ResPot.</i>	<i>35</i>
<i>Figura 30: Diagrama UML da classe Controle.</i>	<i>35</i>
<i>Figura 31: Diagrama UML da classe trdSerial.</i>	<i>35</i>
<i>Figura 32: Diagrama UML da classe Serial.....</i>	<i>36</i>
<i>Figura 33: Diagrama de classe.</i>	<i>36</i>
<i>Figura 34: Tela de configuração do módulo de entrada.....</i>	<i>37</i>

<i>Figura 35: Tela de configuração do módulo de filtro Passa-Baixa</i>	37
<i>Figura 36: Tela de configuração do módulo de filtro Passa-Alta</i>	38
<i>Figura 37: Sistema montado.</i>	39
<i>Figura 38: Circuito do módulo de configuração</i>	40
<i>Figura 39: Circuito do Filtro Passa-Alta</i>	40
<i>Figura 40: Gráfico de atenuação dos FPA com capacitor 22nF e frequência de corte de 100Hz.</i>	41
<i>Figura 41: Gráfico de atenuação dos FPA com capacitor 220nF e frequência de corte de 10Hz.</i>	41
<i>Figura 42: Gráfico de atenuação dos FPA com capacitor 1uF e frequência de corte de 1Hz.</i>	41
<i>Figura 43: Gráfico de atenuação dos FPA com capacitor 10uF e frequência de corte de 0,1Hz.</i>	42
<i>Figura 44: Circuito de Filtro Passa-Baixa.</i>	42
<i>Figura 45: Gráfico de atenuação dos FPB com capacitor 22nF e frequência de corte de 100Hz.</i>	42
<i>Figura 46: Gráfico de atenuação dos FPB com capacitor 220nF e frequência de corte de 100Hz.</i>	43
<i>Figura 47: Gráfico de atenuação dos FPB com capacitor 1uF e frequência de corte de 100Hz.</i>	43
<i>Figura 48: Gráfico de atenuação dos FPB com capacitor 10uF e frequência de corte de 10Hz.</i>	43
<i>Figura 49: Circuito do módulo de ganho.</i>	44
<i>Figura 50: Circuito da fonte de alimentação.</i>	44
<i>Figura 51: Tela do módulo de ganho.</i>	45
<i>Figura 52: Tela do filtro Passa-Baixa</i>	46
<i>Figura 53: Tela do Filtro Passa-Alta.</i>	46

LISTA DE TABELAS

	Pág.
<i>Tabela 1: Sinais do PIC de controle para os demais módulos</i>	<i>27</i>
<i>Tabela 2: Configuração dos bits na matriz para seleção das entradas.</i>	<i>28</i>
<i>Tabela 3: Configuração dos bits do multiplexador para seleção dos capacitores.....</i>	<i>30</i>

LISTA DE SIGLAS

NCET- Núcleo de Ciências Exatas e Tecnológicas

UP – Universidade Positivo

EHW – *Evolvable Hardware*

FPGA – *Field Programmable Gate Arrays*

FPAA – *Field Programmable Analog Arrays*

LISTA DE SÍMBOLOS

Ω - ohm

Hz - hertz

v - volts

K - kilo

n – nano

u - micro

F - Faraday

V_{pp} – volts pico a pico

CAPÍTULO 1 – INTRODUÇÃO

Com a necessidade de adaptação de sistemas de forma eficaz, vêm-se buscando novas estruturas de hardware que sejam flexíveis, por isso um dos campos estudados atualmente é o hardware evolutivo. Ao contrário do hardware convencional, onde sua estrutura é fixa e irreversível, o hardware evolutivo é desenvolvido para adaptar-se a mudanças em tarefas requeridas ou mudanças no ambiente, através de sua habilidade em reconfigurar sua estrutura dinamicamente e livremente. (TETSUYA et al, 1999).

Motivada pelas aplicações do hardware evolutivo e hardware reconfigurável, o projeto tem como objetivo fazer um hardware analógico reconfigurável, de modo discreto, possuindo uma interface de configuração para o usuário, como por exemplo, uma FPAA (*Field Programmable Gate Arrays*).

1.1 – Motivação

A motivação em realizar este projeto é a utilização de conhecimentos adquiridos para a aplicação em uma área nova como o hardware evolutivo, pois futuramente pode-se utilizar um algoritmo genético para a configuração do mesmo, assim caracterizando um EHW (*evolvable hardware*).

1.2 – Descrição do trabalho

O projeto consiste em um hardware configurável que é configurado através de uma interface com o usuário. Esta interface (desenvolvida em C++) fornecerá ao usuário algumas formas de configuração. Os módulos se comunicam com a interface através de um microcomputador (figura 1). O sistema está dividido em quatro módulos: módulo de configuração, módulo de ganho, módulos de filtros (Passa - Alta e Passa - Baixa).

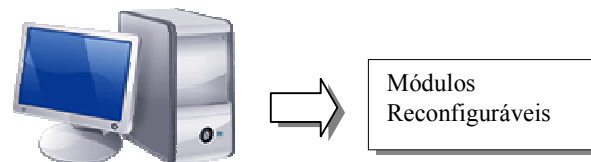


Figura 1: Diagrama Geral do projeto

CAPÍTULO 2 – FUNDAMENTAÇÃO TEÓRICA

O projeto baseia-se em hardware evolutivo e hardware reconfigurável, com isso a fundamentação teórica tem o foco voltado a estes itens.

2.1 – Hardware Evolutivo

O hardware evolutivo é uma área que reúne hardware reconfigurável, inteligência artificial, sistema tolerante a falhas e sistemas autônomos. Usa a simulação evolutiva para achar uma nova configuração de sua arquitetura dinamicamente e autonomamente (Greenwood, 2007). O algoritmo genético configura toda a arquitetura do hardware reconfigurável através de variáveis e verifica se a solução foi ótima, senão reconfigura o hardware novamente até encontrar a melhor solução.

2.1 – Hardware Reconfigurável

São hardwares que possuem uma estrutura dinâmica que pode ser utilizada para diversas configurações de circuitos, alguns analógicos, FPAAs, outros digitais, FPGAs. Há muitos dispositivos reconfiguráveis no mercado atual citando alguns exemplos:

2.1.1 – *Fusion Programmable System Chip* – FPSC

O FPSC é um sistema que possui elementos de hardware reconfigurável, como FPGA e CPLDs, e blocos analógicos, como memórias RAM, ROM e Flash, I/Os, ADC e PWM (Figura 2). Pode ser utilizado em conjunto com processadores ARM, ARM7 e 8051. (ACTEL).

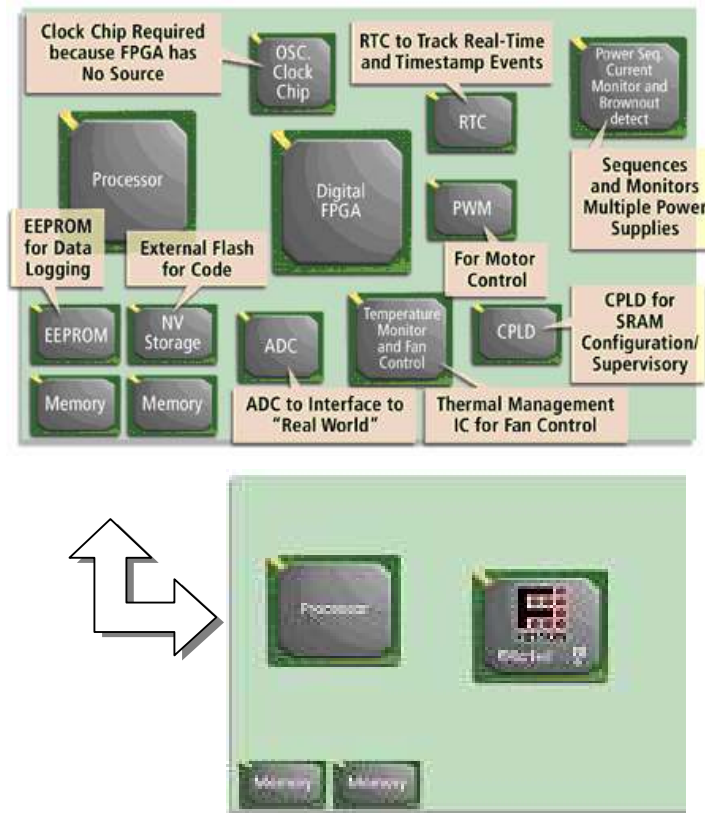


Figura 2: Sistema típico X Sistema utilizando FPSC (ACTEL).

2.1.2 - *Dynamic Programmable Analog Signal – DPAS*

O DPAS é configurado dinamicamente, podendo ser configurado durante o uso pelo usuário ou por um microprocessador. Um único DPAS pode ser utilizado para várias funções analógicas e/ou se adaptar a requisitos do circuito durante o uso.

Consiste de uma matriz 2x2, com blocos configurados analogicamente (CAB), rodeado por recursos reprogramáveis e células de entradas e saídas analógicas com elementos ativos, Figura3. A arquitetura do circuito é configurada utilizando o software Anadigmdesign2, onde o nível do diagrama em blocos é baseado nos circuitos desenvolvidos na ferramenta. As funções dos circuitos são representadas como CAMs (Módulos analógicos reconfiguráveis), estes são blocos configuráveis cujos mapas estão em porções dos CABs. (ANADIGM).

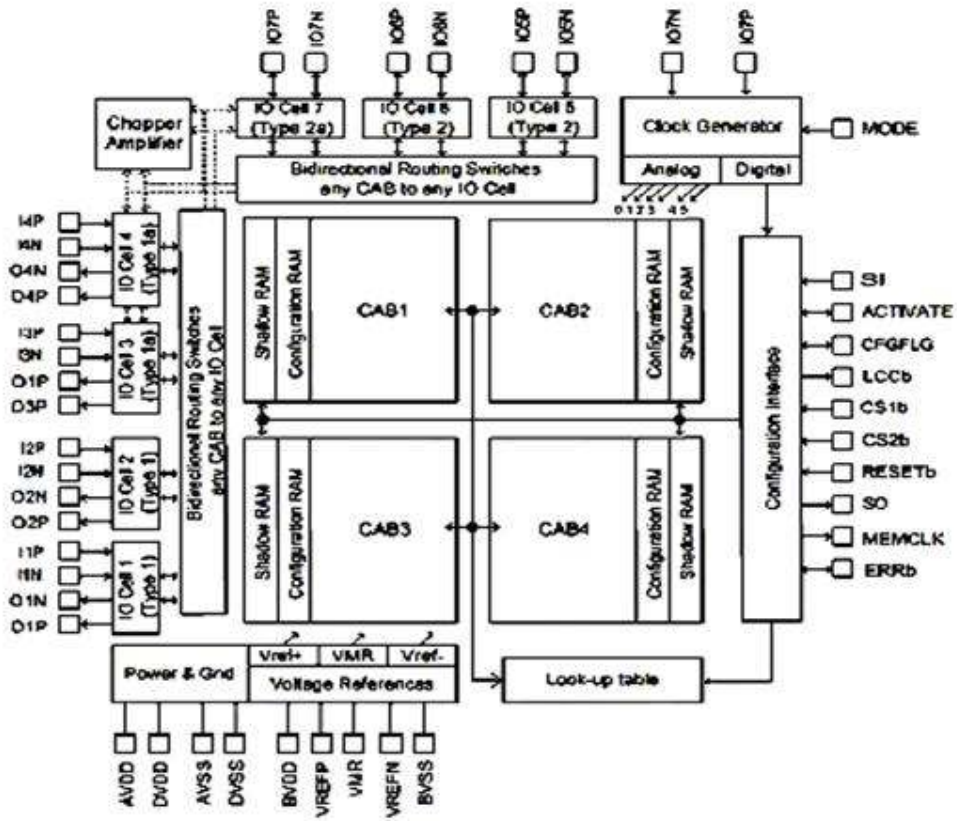


Figura 3: Estrutura interna do DPAS (ANADIGM).

3.1 – Especificação de hardware

A principal função do projeto é a configuração de seus módulos analógicos, sendo assim há a necessidade do envio das configurações através de um microcomputador repassando-as para um microcontrolador que fará a configuração dos demais módulos.

O sistema é responsável pela aquisição da configuração enviada do microcomputador ao módulo de configuração e envio do protocolo de configuração, através do mesmo, aos demais módulos.

O hardware do sistema é composto de quatro módulos: o módulo de configuração, módulo de ganho, módulos de filtro Passa – Baixa (FPB) e módulo de filtro Passa – Alta (FPA), (Figura 4).

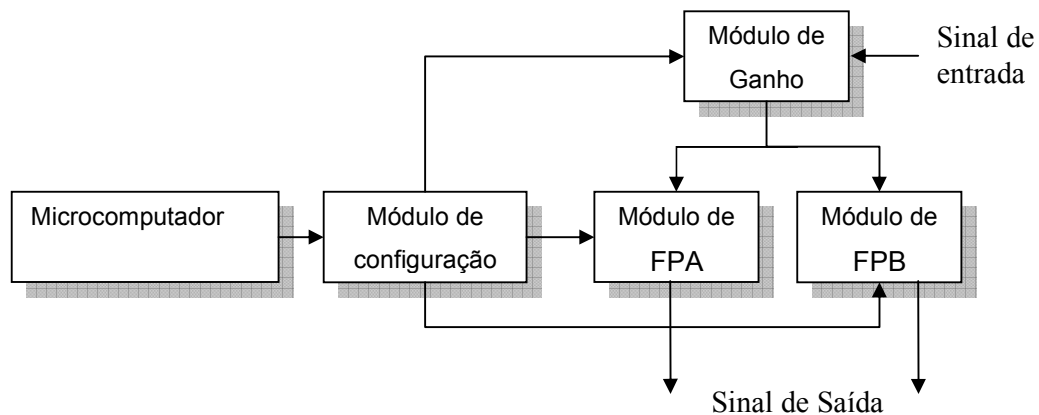


Figura 4: Diagrama em blocos do hardware

3.1.1 - Módulo de configuração

O módulo de configuração é composto por um PIC18F4620 responsável pela recepção do protocolo via serial do microcomputador, e tratamento desse protocolo para realizar a configuração dos demais módulos.

O protocolo enviado ao PIC contém as informações a respeito dos valores selecionados pelo usuário no software para a configuração dos demais módulos. Os dados enviados pelo protocolo são um indicador de início do protocolo, o valor do capacitor tanto para o filtro passa-baixa quanto para o filtro passa-alta, a configuração do tipo de entrada, os valores das resistências dos potenciômetros, tanto para os módulos de filtro quanto para o módulo de ganho, sendo todos configurados separadamente e o checksum (Figura 5).

0x55	0x00	0x00	0x00	0x00	0x00	0x00	0x00
Início	Capacitores	Multiplaxadores	Pot1	Pot2	Pot3	Pot4	Checksum
1	2	3	4	5	6	7	8

Figura 5: Protocolo de comunicação entre microcomputador e microprocessador.

O protocolo possui o checksum para garantir a recepção correta do mesmo. Assim sempre que o protocolo é recebido, procura-se pelo seu byte de início, separam-se os demais bytes e aceita o protocolo se o checksum estiver correto.

3.1.2 - Módulo de ganho

O módulo de ganho possui dois circuitos somadores, dois multiplexadores, para a seleção dos sinais aplicados nas entradas do amplificador de instrumentação, seguido de um circuito de amplificação, configurado como não-inversor, onde o ganho pode ser configurado devido aos potenciômetros no lugar dos resistores R_f e R_i do circuito amplificador (Figura 6).

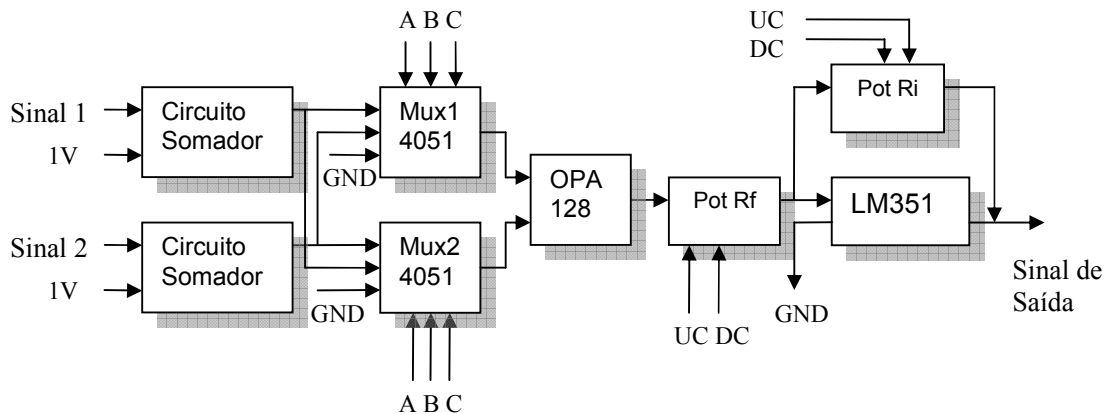


Figura 6: Diagrama em blocos do módulo de ganho.

O módulo de ganho é utilizado para dar um ganho no sinal aplicado, de acordo com o valor escolhido pelo usuário, além de diminuir ruídos sobrepostos no sinal por causa da alta impedância dos AmpOps.

Os multiplexadores permitem que a entrada do módulo seja configurada para receber sinais diferenciais, inversores e não-inversores.

3.1.3 - Módulos de Filtro

Há dois módulos de filtro com funções diferentes no sistema: o filtro Passa-Baixa e o filtro Passa-Alta.

Ambos os filtros são de primeira ordem, possuem uma função-resposta Chebyshev e o seu ganho é fixo em 2V/V devido a sua configuração não-inversora.

Nos filtros é utilizado um amplificador LM351, um potenciômetro digital DS1869-100 de 100K Ω , com uma resolução de 2⁶ bits e um multiplexador analógico 4051.

Com o chaveamento do MUX4051 e a mudança dos valores de resistência no potenciômetro ajusta-se a frequência de corte (f_c) dos filtros.

Podemos escolher um capacitor a ser chaveado dentre os valores fixos de: 22nF, 220nF, 1uF e 10uF. Sendo que os capacitores de menor valor são utilizados para o chaveamento deas frequências de corte de maior valor e os capacitores de maior valor utilizados para frequências de corte menores.

- Filtro Passa - Baixa

Pode-se verificar a configuração do filtro Passa-Baixa no diagrama (Figura 7):

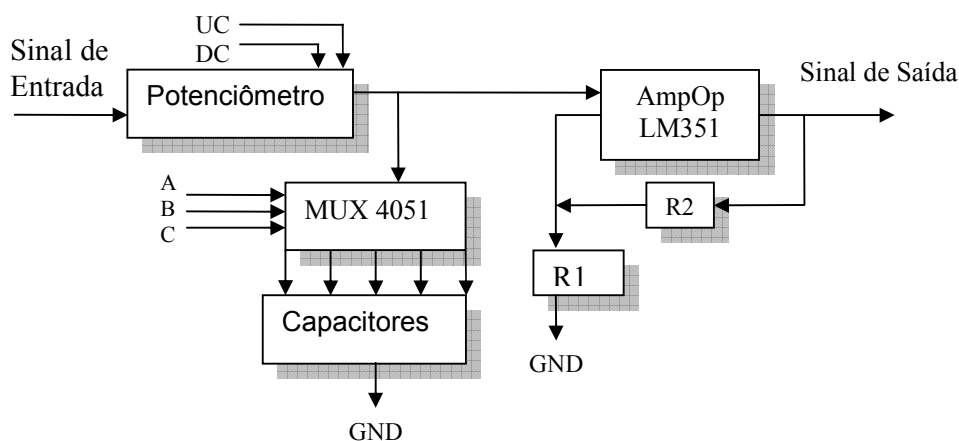


Figura 7: Diagrama em blocos do módulo de filtro Passa-Baixa.

- Filtro Passa – Alta

Pode-se verificar a configuração do filtro Passa-Alta no diagrama abaixo (Figura 8):

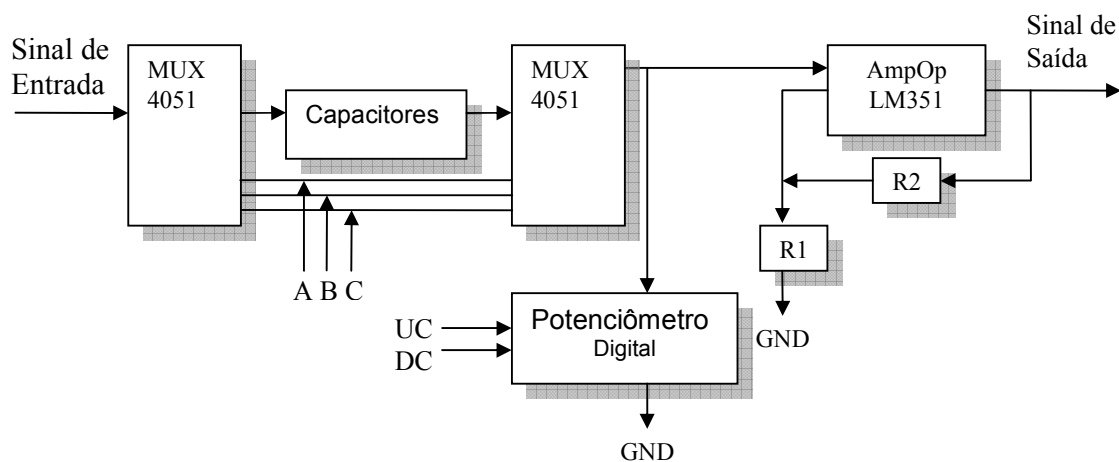


Figura 8: Diagrama em blocos do módulo de filtro Passa-Alta

3.2 – Especificação de software

O software do projeto tem como objetivo fazer a interface entre os módulos analógicos e o usuário. Este está dividido em duas partes: o software de interface que receberá os valores escolhidos pelo usuário e o firmware que receberá o protocolo do software de interface.

O software de interface receberá os dados de configuração do módulo de entrada, como o ganho e a configuração do tipo de entrada, e as configurações dos filtros, como a frequência de corte e qual o capacitor a ser utilizado.

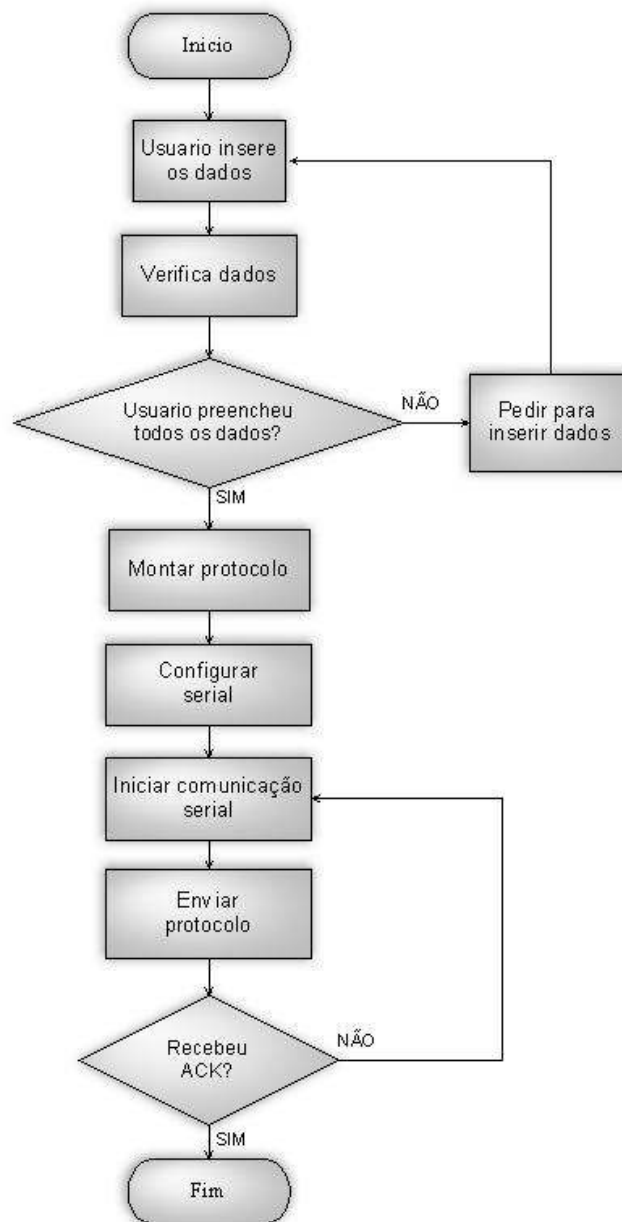


Figura 9: Fluxograma do software.

O firmware receberá o protocolo enviado pelo software de interface verificando o início do protocolo, armazenando os bytes seguintes e verificando o término do protocolo. Seguido da verificação do checksum para o envio de um ACK, acaso esteja correto, ou um NACK caso esteja errado.

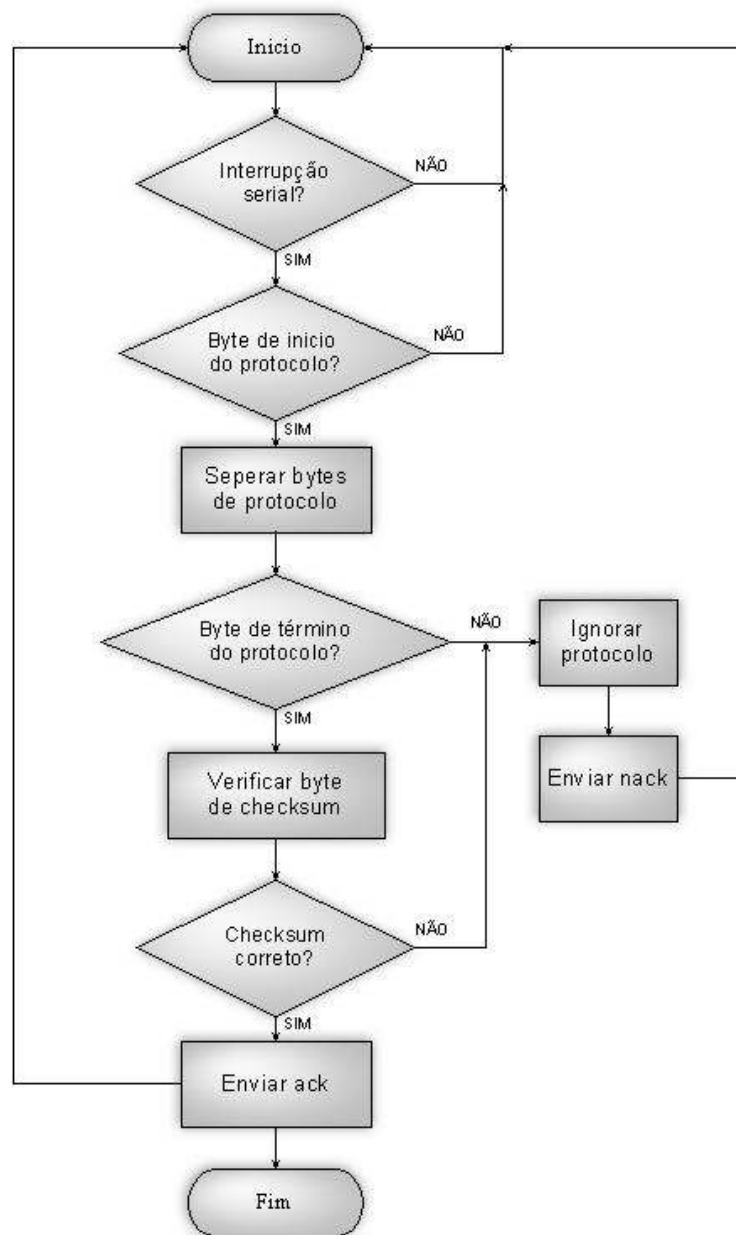


Figura 10: Fluxograma do firmware.

O software de interface será desenvolvido na linguagem C++, no ambiente de programação Borland Builder 6.

O firmware será implementado em C utilizando os ambientes de programação MPLAB, utilizando o compilador CCS.

4.1 – Testes Preliminares

Os testes preliminares foram realizados com partes do sistema do projeto.

4.1.1 – Teste do Chaveamento dos Capacitores no FPA

O chaveamento dos capacitores é realizado utilizando uma chave para setar os bis A, B e C do multiplexador, Tabela 3, e um gerador de função com um sinal senoidal de 1VPP aplicado na entrada. Verificando com um osciloscópio se o sinal aplicado na entrada do mux1 está presente na saída do mux2. Como esperado o sinal de entrada no mux1 está presente no mux2, porém há uma atenuação no sinal conforme a diminuição da capacitância.

O circuito da Figura 11, mostra como foram dispostos os componentes para o teste.

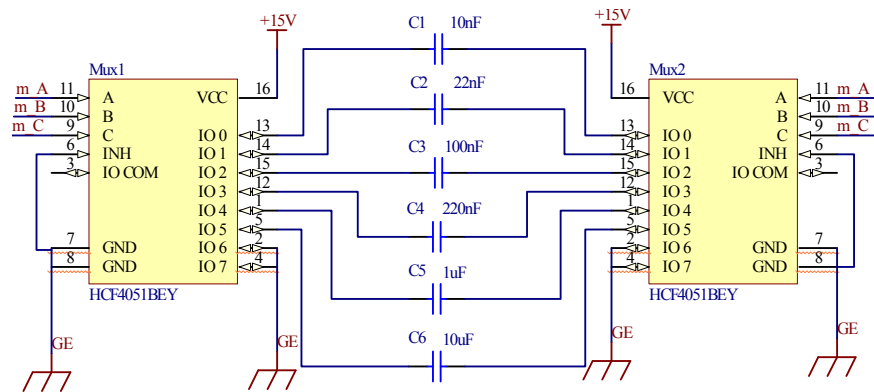


Figura 11: Chaveamento dos capacitores

4.1.2 – Teste da comunicação serial.

O primeiro teste é realizado utilizando um programa ComPort, que simula a comunicação entre duas portas seriais, e um software de envio e recebimento de dados serial (Figura 12).

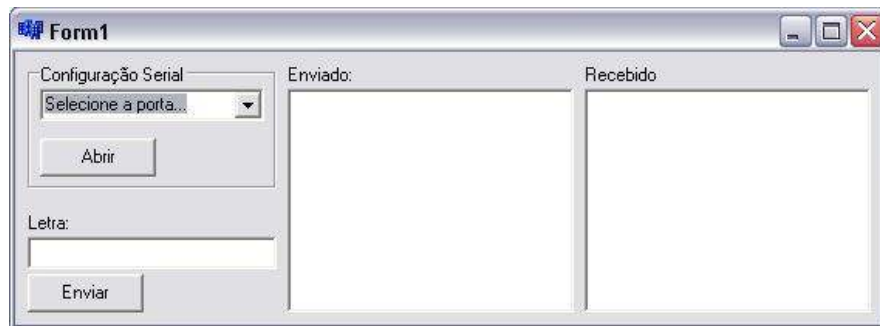


Figura 12: Interface do software de teste da serial.

Logo é possível verificar o funcionamento da comunicação serial através das threads.

O segundo teste é o envio e recebimento de dados serialmente utilizando o circuito do microcontrolador, (Figura 16), para teste do circuito uma vez que o software está funcionando.

4.1.3 – Teste do potenciômetro

O teste do potenciômetro foi feito utilizando dois push-bottons para incrementar e decrementar a resistência do mesmo, Figura 13. Logo com esse teste foi possível fazer a integração do potenciômetro com os outros circuitos.

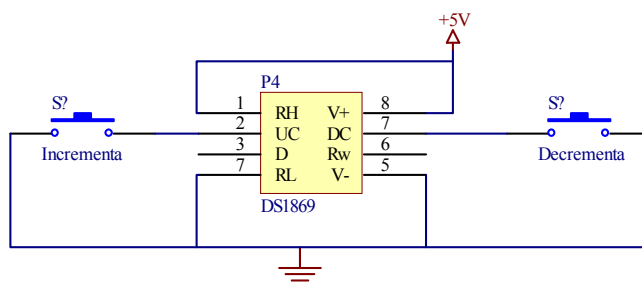


Figura 13: Configuração do potenciômetro.

4.2 – Projeto do Hardware

O hardware tem como objetivo desempenhar a função específica de sua configuração utilizando valores para tal, configurados antecipadamente pelo usuário. Foi separado em cinco partes para melhor análise e entendimento.

4.2.1- Fontes de Alimentação

Os circuitos necessitam de diferentes níveis de tensões para isso há duas fontes, uma fonte de +15V e -15V (Figura 14), e uma fonte de 5V (Figura 15).

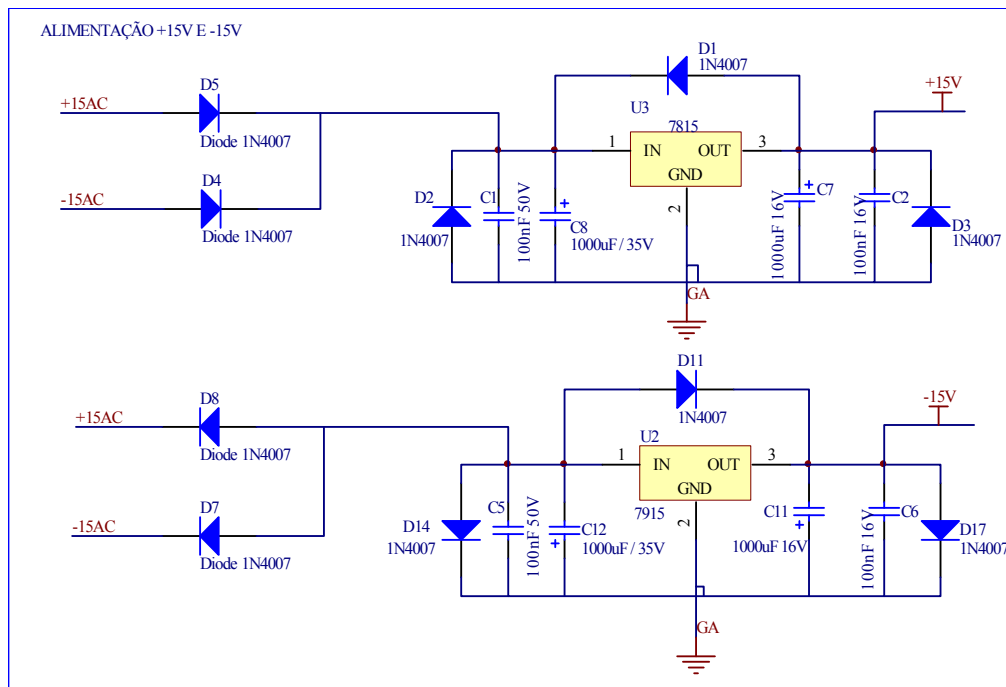


Figura 14: Fonte de alimentação de +15V e -15V.

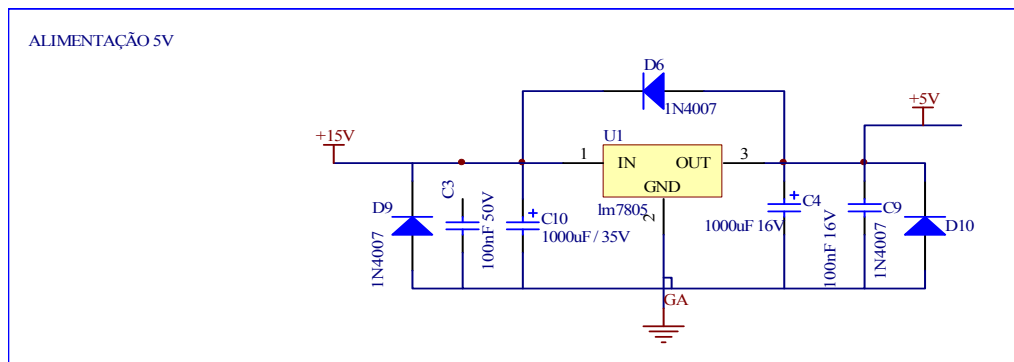


Figura 15: Fonte de alimentação de 5V.

- Testes da fonte de alimentação

Para verificar o funcionamento da fonte de alimentação basta ligar na tomada e com o auxílio de um osciloscópio verificar os níveis de tensão. No conector onde está o trafo, deve conter o sinal de 15V AC. Nos pinos de saída dos reguladores 7915, 7815 e 7805, a tensão esperada é de -15V, +15V e +5V, respectivamente.

4.2.2- Módulo de Configuração

Para fazer a configuração dos demais módulos é necessário que o módulo de configuração, composto de um PIC (Figura 16), receba os dados serialmente (Figura 17) e separe

as informações no protocolo para depois mandar os sinais de controle para os demais módulos, os sinais de controle do PIC podem ser observados na Tabela 1.

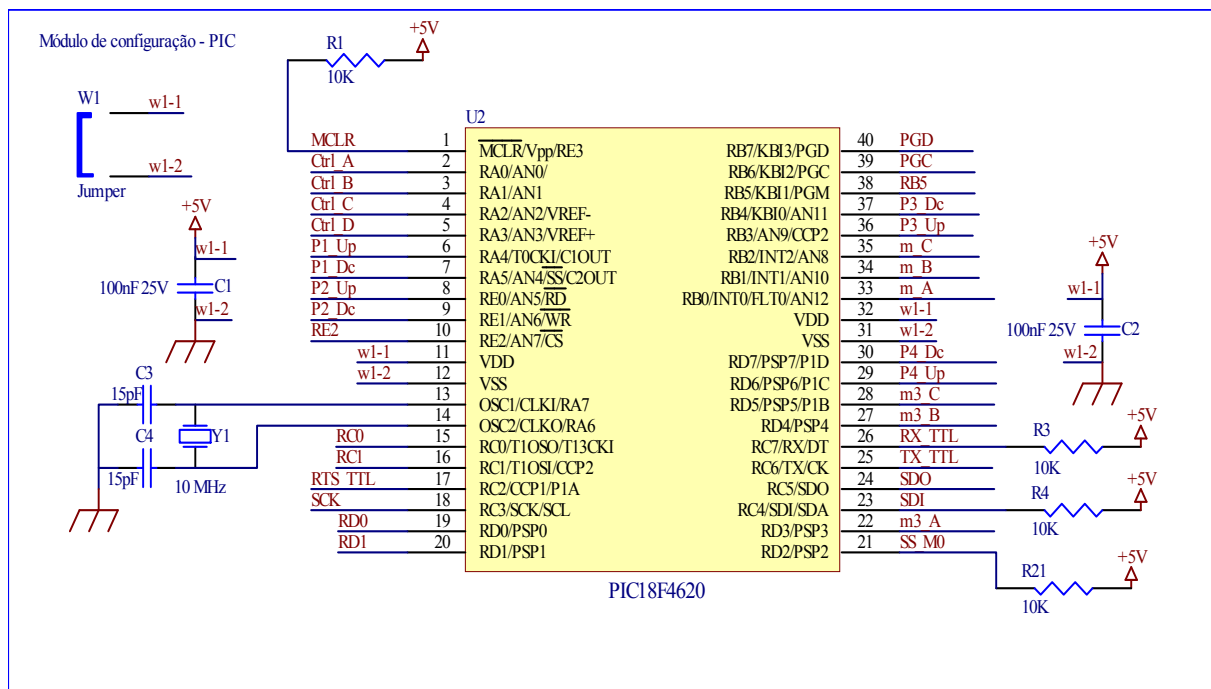


Figura 16: Módulo de configuração utilizando PIC18F4620.

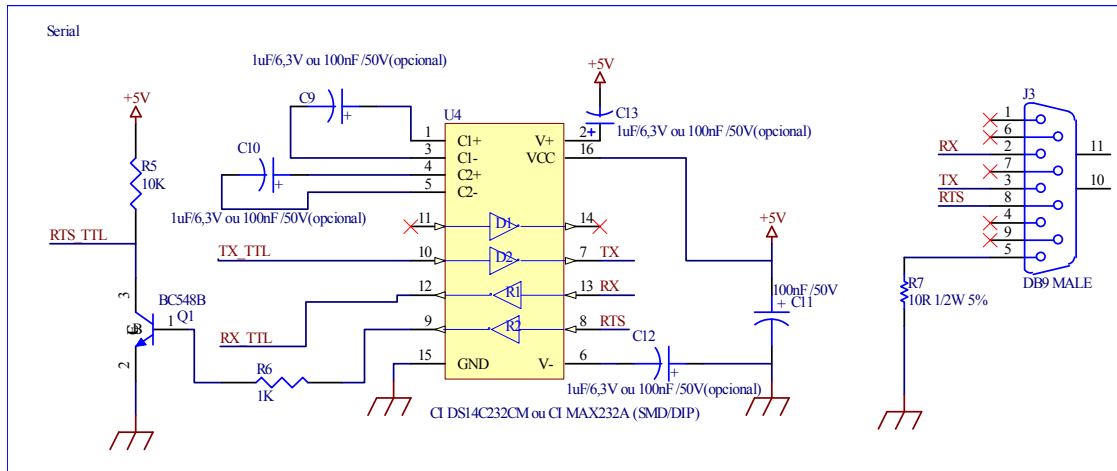


Figura 17: Comunicação serial do módulo de configuração.

MÓDULO DE ENTRADA		
Pinos do PIC	Nome	Descrição
RA0	Ctrl_A	Controle do bit A da matriz
RA1	Ctrl_B	Controle do bit B da matriz
RA2	Ctrl_C	Controle do bit C da matriz
RA3	Ctrl_D	Controle do bit A da matriz
RC0	Ctrl_B	Controle do bit B da matriz

RC1	Ctrl_C	Controle do bit C da matriz
RA4	P1_Up	Incrementa a resistência do potenciômetro 1 por borda de subida
RA5	P1_Dc	Decrementa a resistência do potenciômetro 1 por borda de subida
RE0	P2_Up	Incrementa a resistência do potenciômetro 2 por borda de subida
RE1	P2_Dc	Decrementa a resistência do potenciômetro 2 por borda de subida
MODULO FILTRO PASSA-ALTA		
Pinos do PIC	Nome	Descrição
RB0	m_A	Controle do bit A dos multiplexadores do Filtro Passa-Baixa
RB1	m_B	Controle do bit B dos multiplexadores do Filtro Passa-Baixa
RB2	m_C	Controle do bit C dos multiplexadores do Filtro Passa-Baixa
RB3	P3_Up	Incrementa a resistência do potenciômetro 3 por borda de subida
RB4	P3_Dc	Decrementa a resistência do potenciômetro 3 por borda de subida
MODULO FILTRO PASSA-BAIXA		
Pinos do PIC	Nome	Descrição
RD3	m3_A	Controle do bit A dos multiplexadores do Filtro Passa-Alta
RD4	m3_B	Controle do bit B dos multiplexadores do Filtro Passa-Alta
RD5	m3_C	Controle do bit C dos multiplexadores do Filtro Passa-Alta
RD6	P4_Up	Incrementa a resistência do potenciômetro 4 por borda de subida
RD7	P4_Dc	Decrementa a resistência do potenciômetro 4 por borda de subida

Tabela 1: Sinais do PIC de controle para os demais módulos

- Testes do módulo de configuração

Para testar o funcionamento do módulo de configuração, além de verificar alimentação do PIC em 5V e a oscilação do cristal em 10MHz, após o envio do protocolo pelo software, verificar os bits disponíveis nos pinos do PIC, Tabela 1, se estão de acordo com a configuração enviada, os bits das configurações feitas pelo software podem ser vistos nas Tabelas 2 e 3. No caso dos potenciômetros, verificar a quantidade de pulsos enviada corresponde à resistência apresentada no software.

4.2.3- Módulo de Ganho

O módulo de ganho é composto por três partes, o circuito grampeador, a seleção de entrada e o circuito de ganho.

O circuito grampeador é utilizado, pois os potenciômetros trabalham em uma faixa de tensão de 0V a VDD, logo não aceitam valores negativos. O grampeamento do sinal é feito com um circuito na configuração somadora, o sinal aplicado é somado com 1V, proveniente do divisor de tensão, (Figura 18).

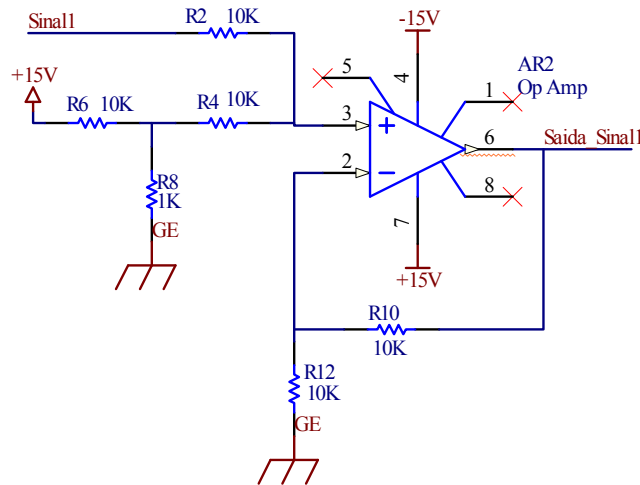


Figura 18: Circuito Grampeador.

Na seleção de entrada (Figura 19), após o grampeamento, o tipo de sinal utilizado será escolhido pelo usuário no software, seguindo pelo protocolo a configuração dos bits de controle dos multiplexadores (Tabela 2).

Os sinais 1 e 2 são aplicados em ambos os multiplexadores, podendo ser feito a combinação dos mesmos na entrada do amplificador de instrumentação.

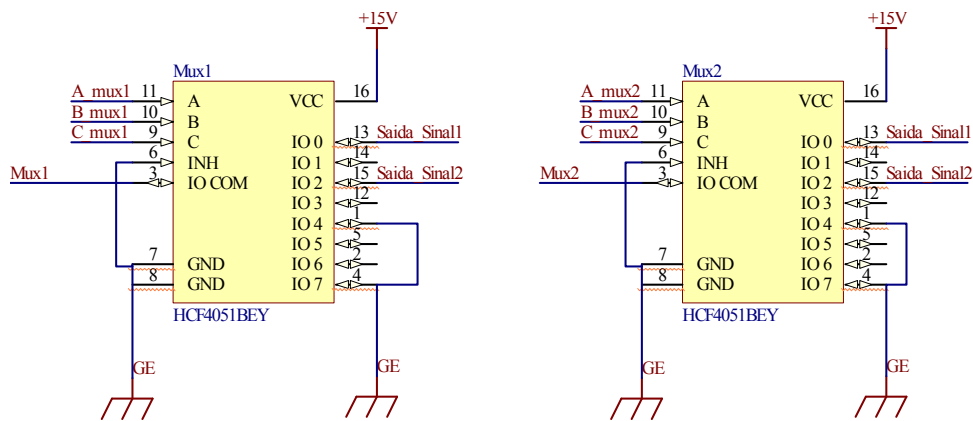


Figura 19: Seleção da entrada.

Seleção do tipo de entrada				
C	B	A	Saída	Seleção
0	0	0	x0	Sinal 1
0	1	0	x2	Sinal 2
1	0	0	x4	GND

Tabela 2: Configuração dos bits na matriz para seleção das entradas.

Depois de selecionado o tipo de entrada, os sinais selecionados passam por um amplificador de instrumentação, assim podendo utilizar a configuração de entrada diferencial, inversora e não inversora (Figura 20).

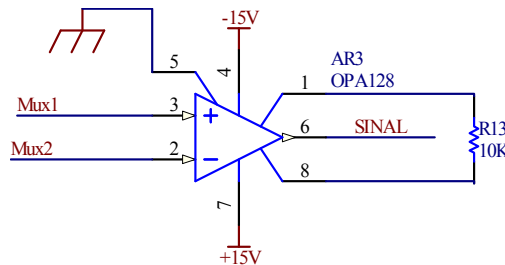


Figura 20: Amplificador de instrumentação.

O sinal em seguida passa pelo circuito amplificador, figura 21. O ganho é configurado de acordo com a combinação dos valores das resistências, que variam 156,25Ω por pulso. O ganho é dado pela fórmula $A = -P2/P1$, onde P1 e P2 são as resistências dos potenciômetros 1 e 2, respectivamente.

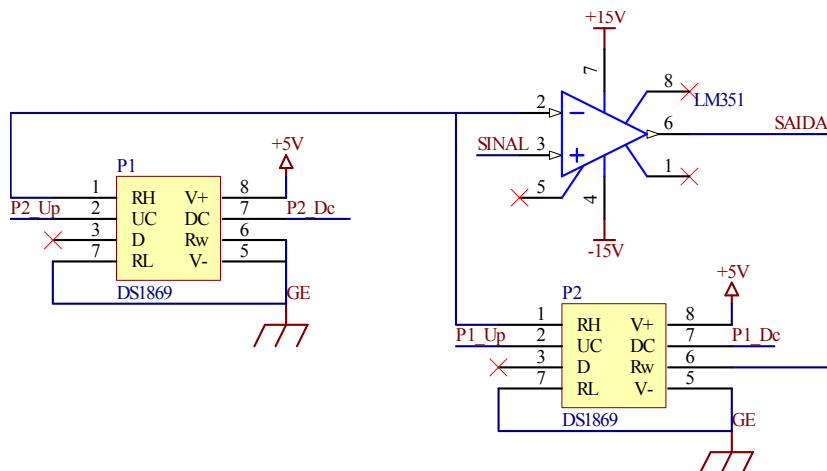


Figura 21: Circuito Amplificador.

- Testes do módulo de ganho

O teste deste módulo pode ser feito através da aplicação de um sinal senoidal de no máximo 1VPP, ou um sinal grampeado com no máximo 5V VPP. Em seguida a aplicação do sinal, setar os bits de configuração dos multiplexadores, Tabela 2, para selecionar a entrada. Com um osciloscópio verificar se o sinal aplicado no módulo passa pelos multiplexadores, sem alterações, entrado no amplificador de instrumentação e passando pelo circuito de ganho. Na saída do amplificador o sinal deve estar ampliado conforme o valor mostrado ao usuário no software.

4.2.4- Módulo de FPB

O módulo de filtro Passa-Baixa possui duas partes, o circuito somador (Figura 18), o FPB (Figura 22).

O sinal de entrada é limitado de 0 a 4V, pico a pico. Passando em seguida pelo amplificador.

A frequência de corte (f_c) é escolhida pelo usuário e configurada pelo protocolo através da ativação dos bits UC (incremento) e DC (decremento), da resistência do potenciômetro, e pela seleção dos capacitores através do multiplexador (Tabela 3).

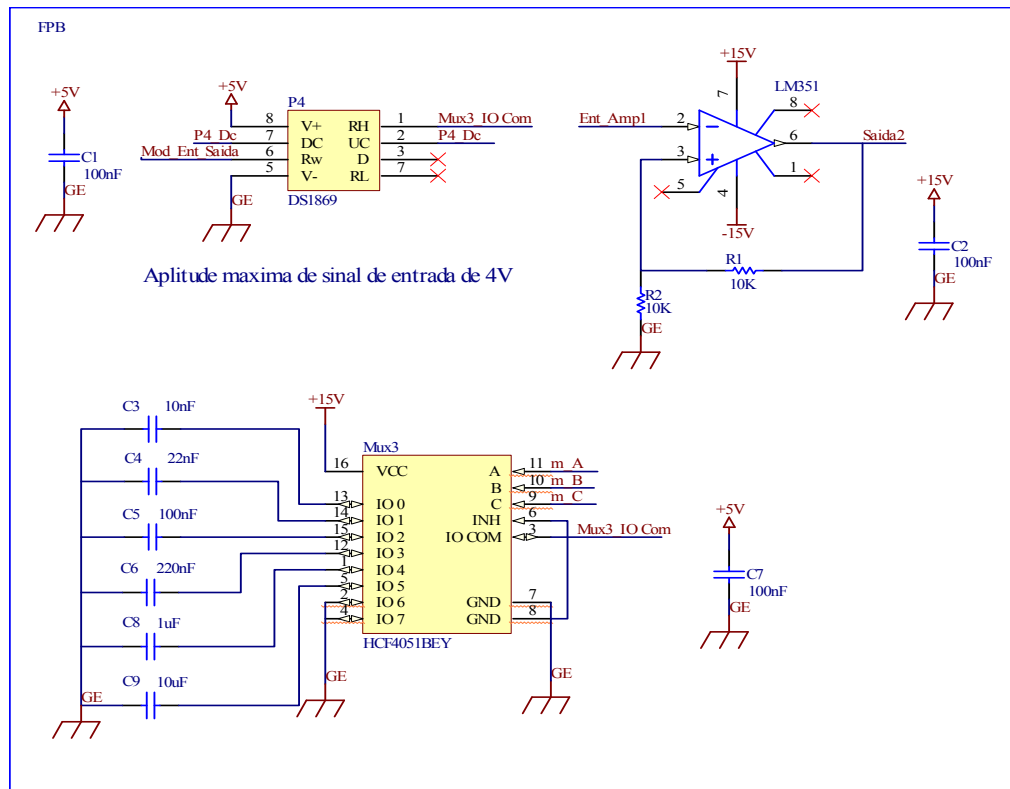


Figura 22: Circuito FPB.

C	B	A	Saida	Seleção
0	0	0	X0	Cap 22nF
0	1	0	X2	Cap 220nF
1	0	0	X4	Cap 1uF
1	1	0	X6	Cap 10uF

Tabela 3: Configuração dos bits do multiplexador para seleção dos capacitores.

- Testes do módulo de FPB

O teste deste módulo pode ser realizado utilizando um sinal senoidal grameado de no Max 5Vpp. Aplicando o sinal na entrada, setar os bits A, B e C do multiplexador para selecionar o capacitor, Tabela 3. Verificar a resistência do potenciômetro, que pode ser alterada pelo software, dependendo da frequência de corte escolhida ou através de pulsos nos pinos UC e DC.

Com o osciloscópio observar o sinal de saída pra verificar a atenuação do mesmo na região de frequência de corte.

4.2.5- Módulo de FPA

O módulo de filtro Passa-Alta possui duas partes, o circuito somador (Figura 18) e o FPA (Figura 23). Neste filtro o sinal passa por multiplexadores, logo o sinal máximo de entrada permitido pode ser de 0 até 5V. Passando pelo circuito subtrator, que subtrai 1V, e pelo amplificador do filtro.

A frequência de corte do circuito é configurada da mesma maneira que o filtro passa baixa, possuindo os capacitores de mesmo valor (Tabela 3), e o potenciômetro de 10K.

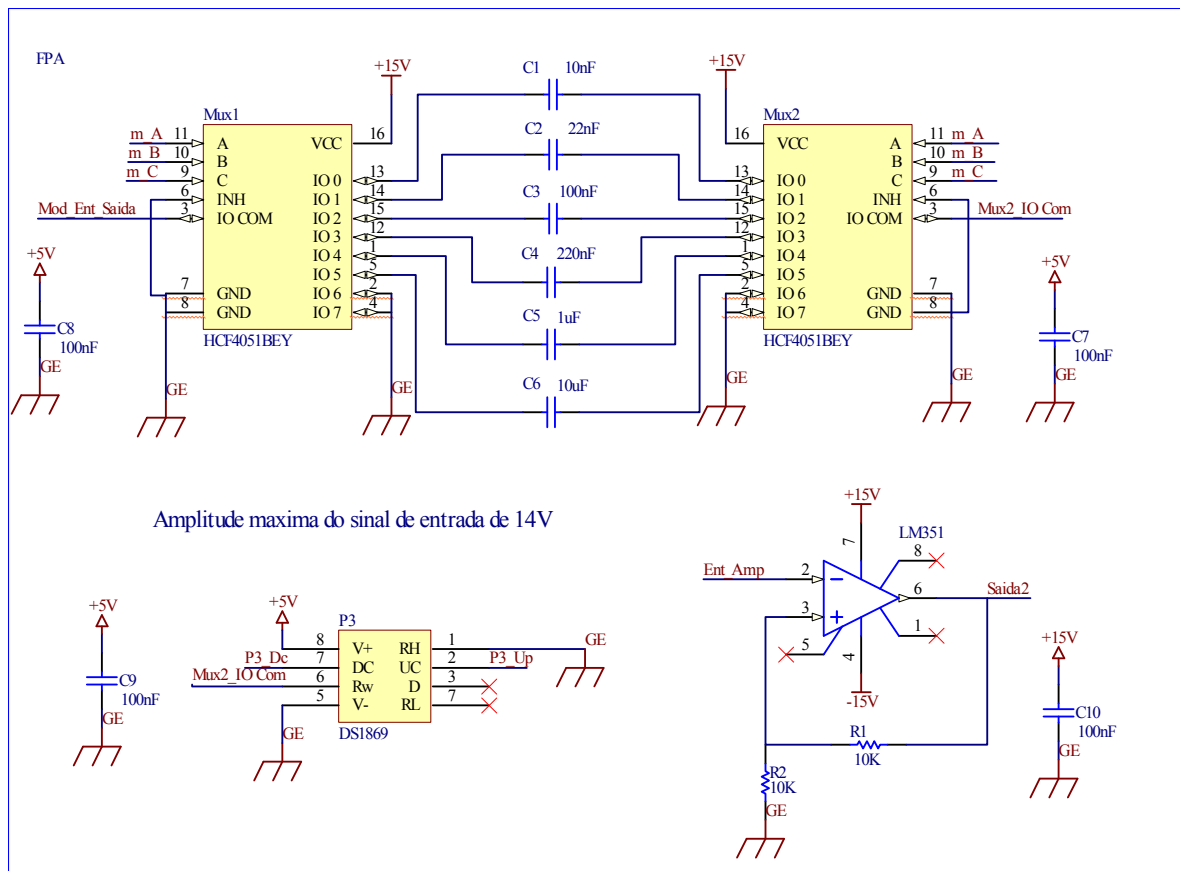


Figura 23: Circuito FPA.

- Testes do módulo de FPA

O teste deste módulo pode ser realizado utilizando um sinal senoidal grampeado de no Max 5Vpp. Aplicando o sinal na entrada, setar os bits A, B e C do multiplexador para selecionar o capacitor, Tabela 3. Verificar a resistência do potenciômetro, que pode ser alterada pelo software, dependendo da frequência de corte escolhida ou através de pulsos nos pinos UC e DC.

Com o osciloscópio observar o sinal de saída pra verificar a atenuação do mesmo na região de frequência de corte.

4.3 – Projeto do Software

O projeto do software é dividido em duas partes o firmware e o software de interface com o usuário.

4.3.1- Firmware

O firmware implementado no microcontrolador espera a interrupção serial, para em seguida capturar o pacote de dados do protocolo, Figura 24, enviado pelo software.

0x55	0x00	0x00	0x00	0x00	0x00	0x00	0x00
Início	Capacitores	Multiplaxadores	Pot1	Pot2	Pot3	Pot4	Checksum
1	2	3	4	5	6	7	8

Figura 24: Protocolo de comunicação entre software e firmware.

1° - byte indica o início do protocolo, logo após a interrupção serial, que é indicado pelo valor 0xAA em hexadecimal.

2° - byte enviado possui o valor de configuração do multiplexador de acordo com a tabela 3, na qual seleciona o capacitor escolhido pelo usuário. Neste byte é enviado tanto o valor do capacitor para o filtro Passa-Baixa quanto para o filtro Passa-Alta.

3° - byte enviado contém a configuração da matriz, para selecionar o tipo de entrada, tabela 2.

4° - byte contém a resistência do potenciômetro P1 do módulo de entrada.

5° - byte possui a resistência do potenciômetro P2 do módulo de entrada.

6° - byte contém resistência do potenciômetro do módulo de FPA.

7° - byte possui a resistência do potenciômetro do módulo de FPB.

Os bytes dos potenciômetros contêm os pulsos necessários para que os potenciômetros atinjam a resistência calculada.

8° - byte possui o valor do checksum efetuado pelo software. Conforme o firmware recebe o protocolo efetua seu próprio checksum para depois conferir com o checksum recebido.

Com a verificação de igualdades entre os checksums o firmware envia um ACK para o software.

Caso haja diferença o firmware envia um NACK.

O funcionamento pode ser observado no diagrama de estados do firmware:

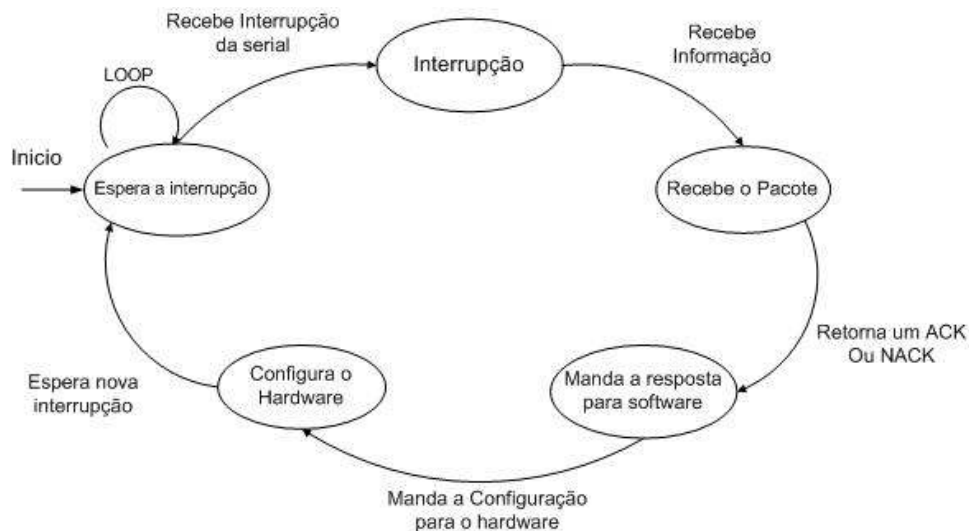


Figura 25: Diagrama de Estados do firmware.

4.3.2 – Software

O software é desenvolvido em C++ utilizando o software Borland C++ Builder 6.0, devido a sua funcionalidade.

O software possui uma classe de controle que faz a interação entre as classes de interface com o usuário, interface gráfica, e as demais classes. É responsável por chamar as classes responsáveis para efetuar os cálculos dos componentes dos módulos, montar o protocolo e enviá-lo serialmente.

O modo de funcionamento e lógica do software pode ser observado nos diagramas e interfaces a seguir:

- Diagrama de caso e uso

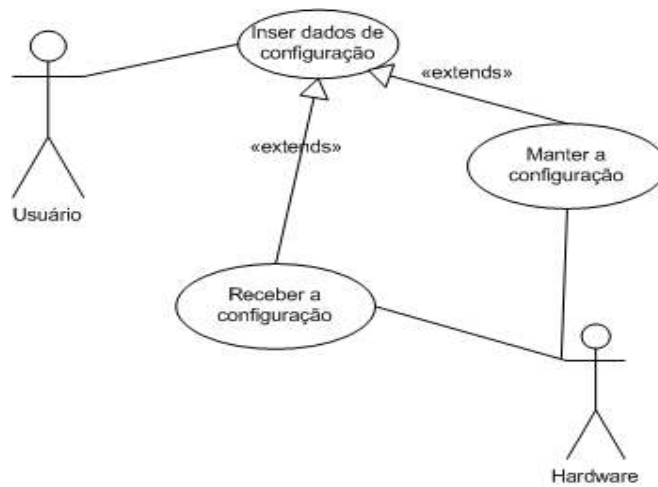


Figura 26: Diagrama de Caso e Uso do Software.

- Diagrama UML



Figura 27: Diagrama UML da classe Calc_Filtros.

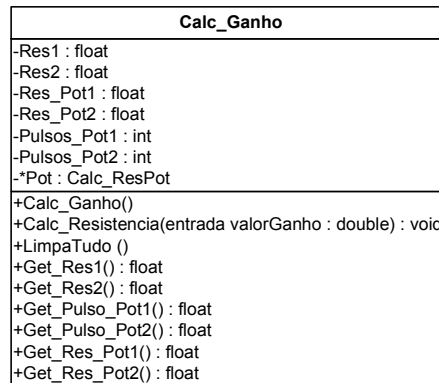


Figura 28: Diagrama UML da classe Calc_Ganho.

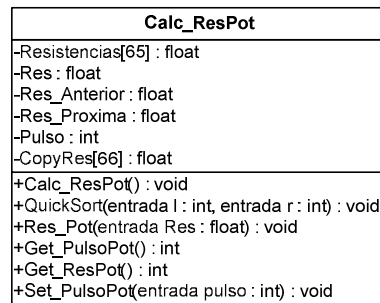


Figura 29: Diagrama UML da classe Calcula_ResPot.



Figura 30: Diagrama UML da classe Controle.

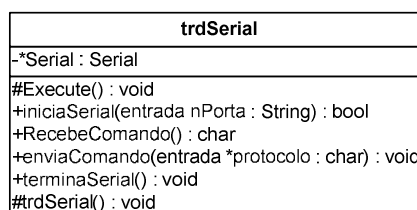


Figura 31: Diagrama UML da classe trdSerial.

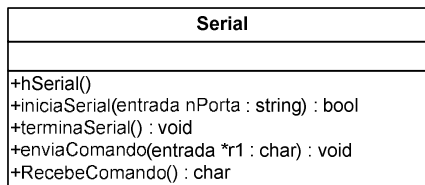


Figura 32: Diagrama UML da classe Serial.

- Diagrama de classe

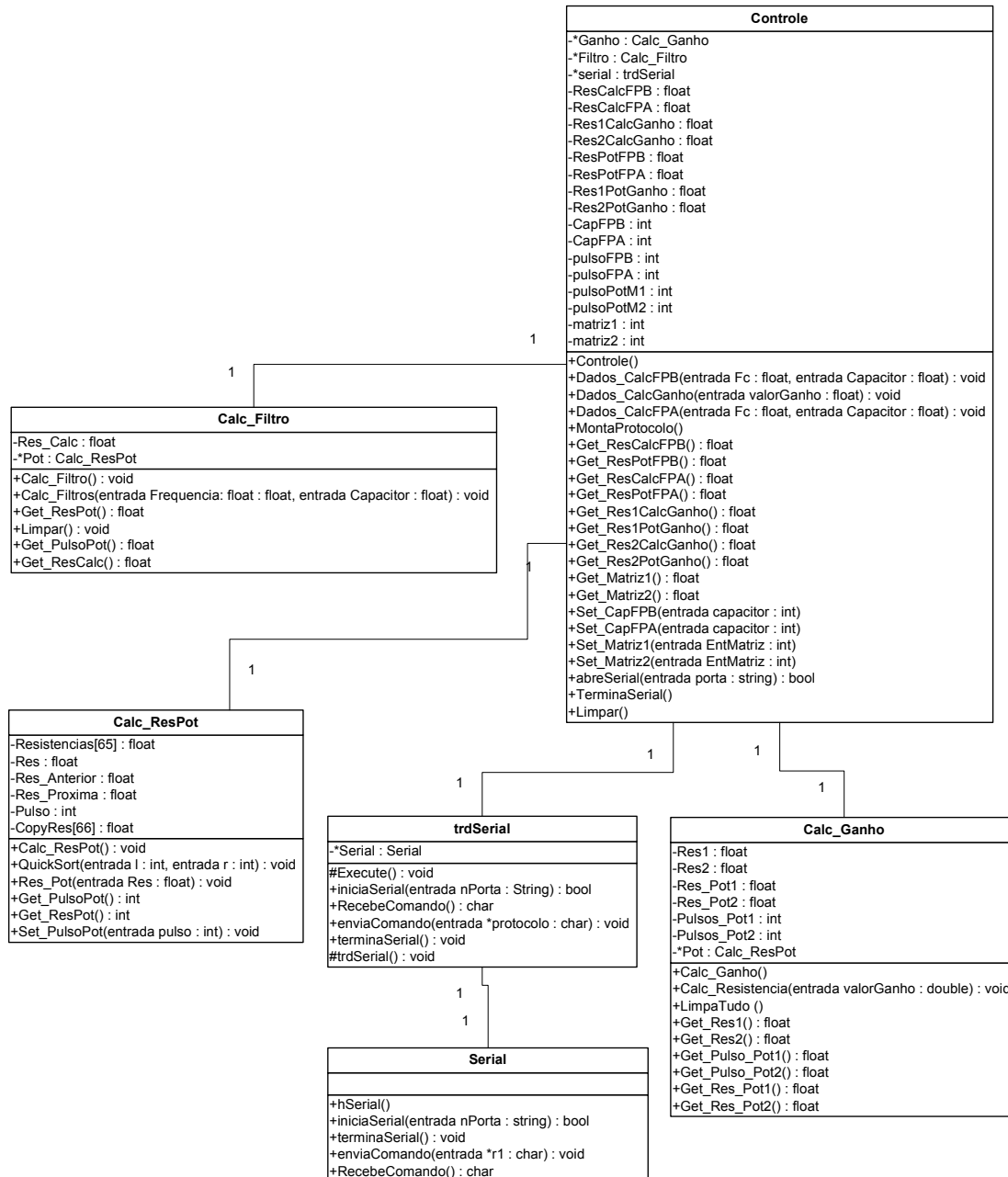


Figura 33: Diagrama de classe.

- Interface

As figuras a seguir mostram as telas nas quais as configurações do usuário serão feitas.

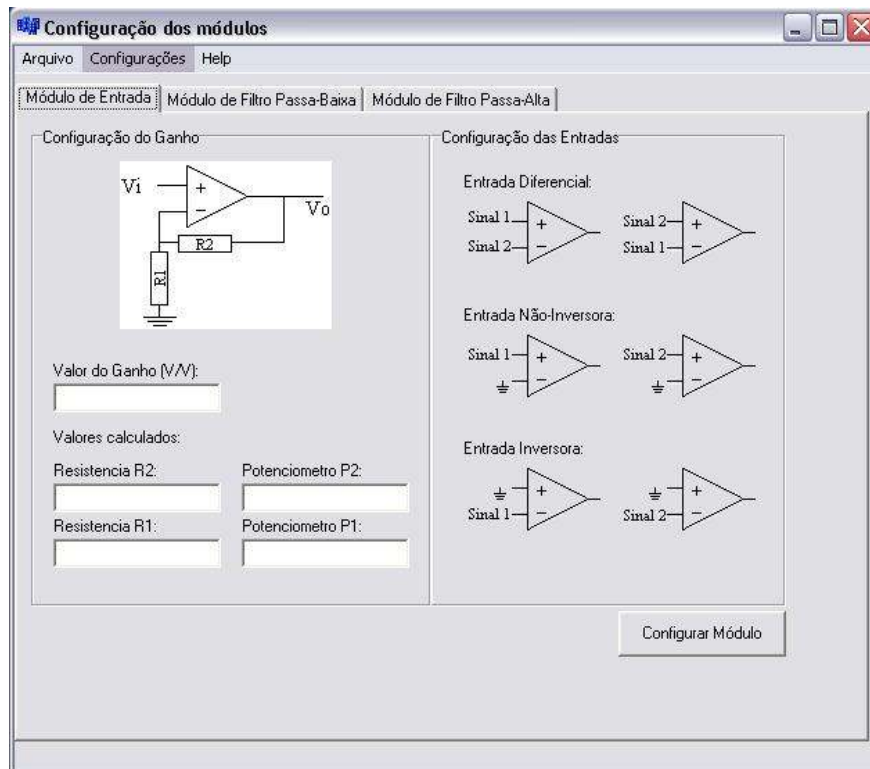


Figura 34: Tela de configuração do módulo de entrada.

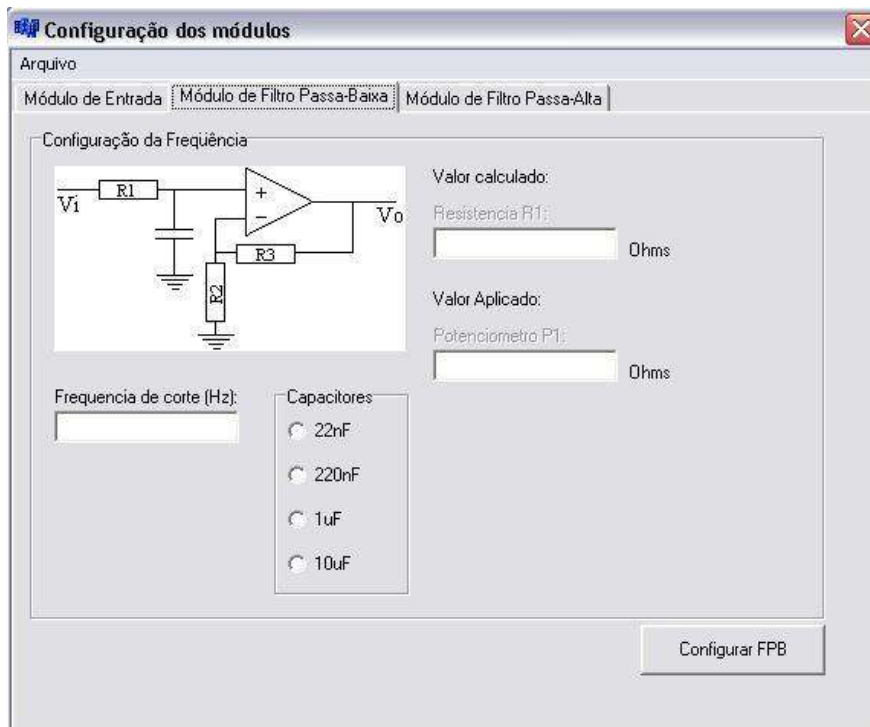


Figura 35: Tela de configuração do módulo de filtro Passa-Baixa.

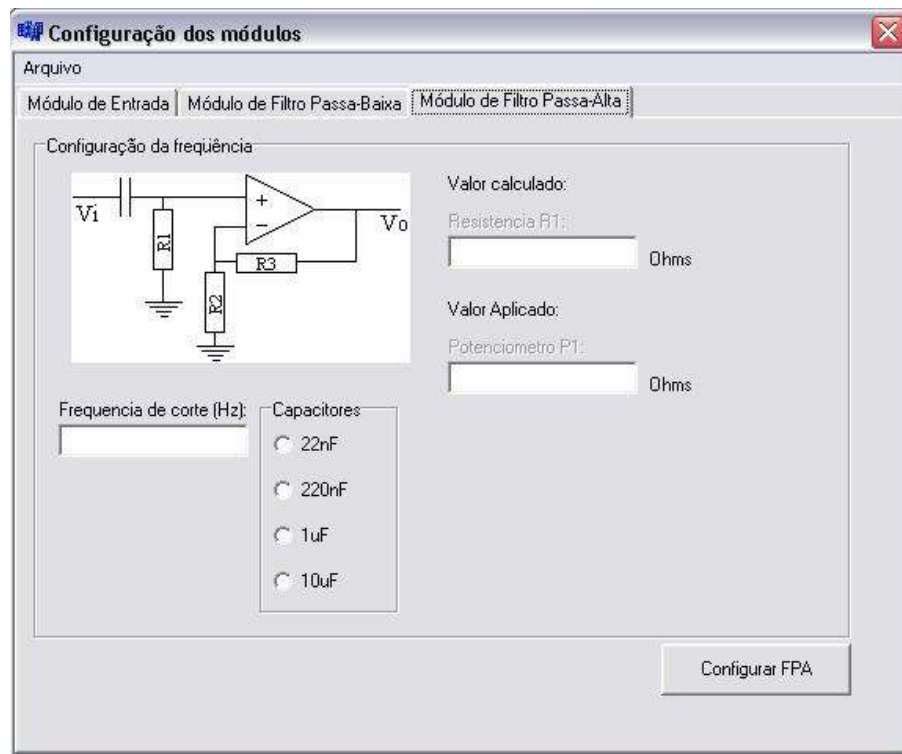


Figura 36: Tela de configuração do módulo de filtro Passa-Alta.

CAPITULO 5 – VALIDAÇÃO E RESULTADOS

O sistema foi construído de forma simples e artesanal, como se pode observar nas fotos do sistema montado, os resultados obtidos foram satisfatórios e dentro do esperado, apesar da faixa das freqüências de corte dos filtros serem limitadas pelos potenciômetros e capacitores.

Os módulos se mostram eficientes tanto quando configurados individualmente quanto quando configurados em conjuntos.

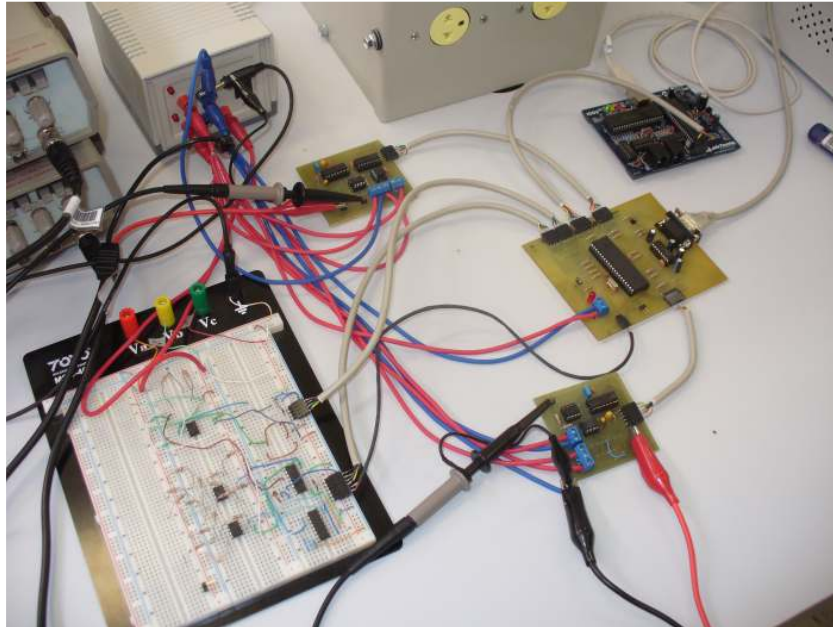


Figura 37: Sistema montado.

O módulo de configuração recebe o protocolo passado pelo software e envia os dados para os demais módulos, isto se faz através de sinais de 5V e 0V, ou seja, configurando os módulos através de combinações binárias, somente os pinos de configuração dos potenciômetros são pulsados devido a sua configuração.

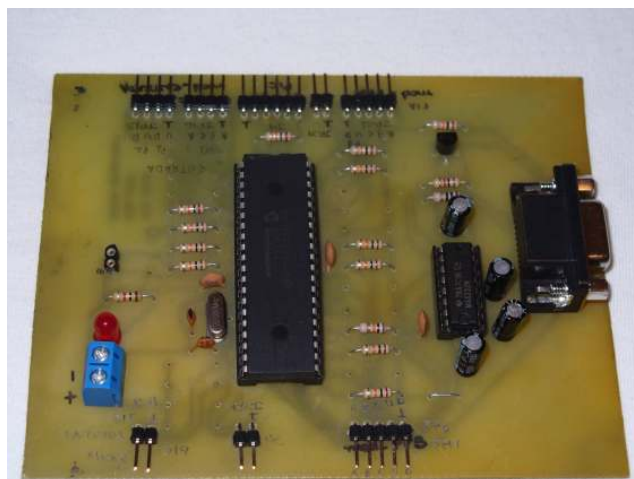


Figura 38: Circuito do módulo de configuração.

Nos módulos dos filtros é possível verificar que a frequência de corte real não equivale a frequência aplicada pelo usuário no software, pois o filtro é de primeira ordem e possui uma lenta atenuação, assim como há os erros dos componentes que nos capacitores chega a ser de 50% do seu valor. Isto foi resolvido medindo os capacitores e selecionando os com valores mais próximos do real, mais mesmo assim há diferenças.

A frequência de corte de ambos os filtros pode ser configurada entre 0,5Hz a 2KHz, o sinal de entrada de ambos deve estar entre a faixa de tensão de -0,5V a 5V, ou seja o sinal aplicado deve estar grampeado, mas não ultrapassando os 5V.

A figura a seguir mostra o circuito do módulo de filtro passa-alta.

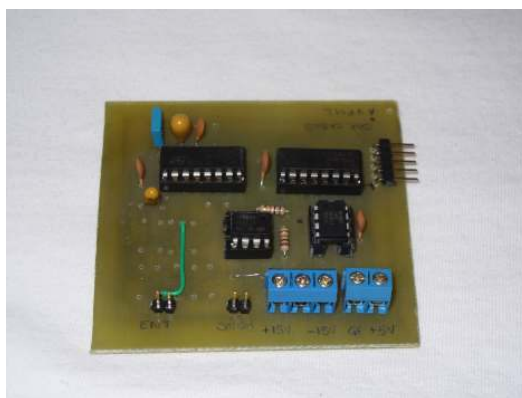


Figura 39: Circuito do Filtro Passa-Alta.

A atenuação do filtro passa-alta pode ser observada através dos gráficos a seguir, onde cada gráfico corresponde a uma configuração com um dos capacitores e respectivas frequências de corte.

Cada capacitor é configurado com uma frequência de corte diferente pois, há a limitação da aplicação desta frequência devido ao valor baixo do potenciometro, ou seja, determinados

valores de frequência de corte ultrapassavam o valor limite do componente, isto ocorre para ambos os módulos de filtro.

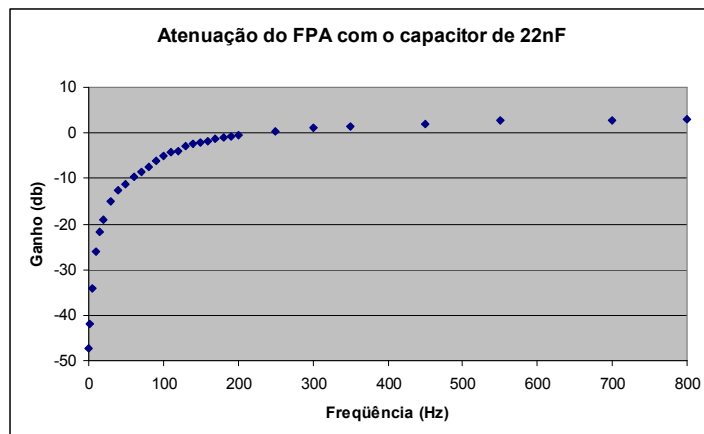


Figura 40: Gráfico de atenuação dos FPA com capacitor 22nF e frequência de corte de 100Hz.

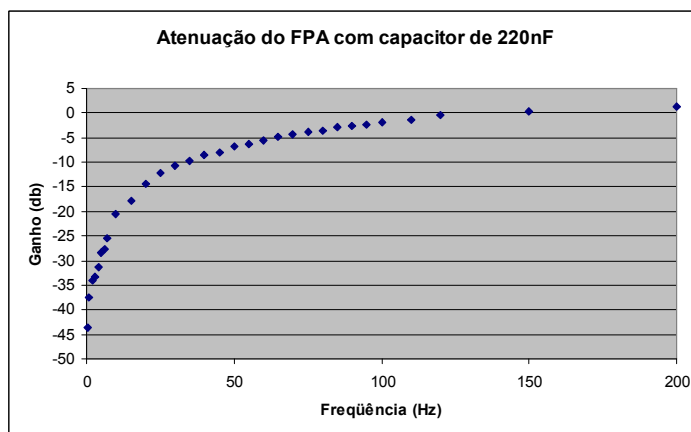


Figura 41: Gráfico de atenuação dos FPA com capacitor 220nF e frequência de corte de 10Hz.

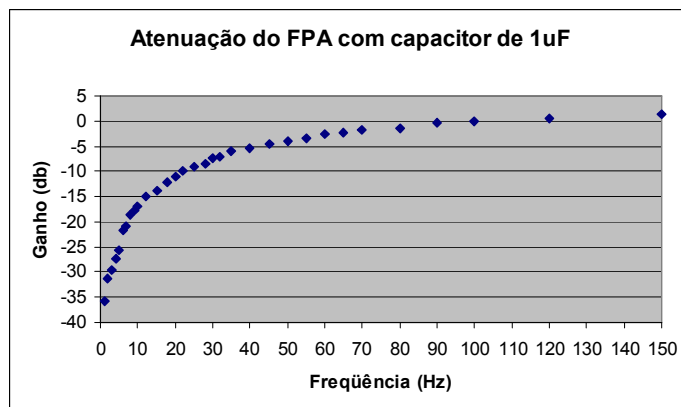


Figura 42: Gráfico de atenuação dos FPA com capacitor 1uF e frequência de corte de 1Hz.

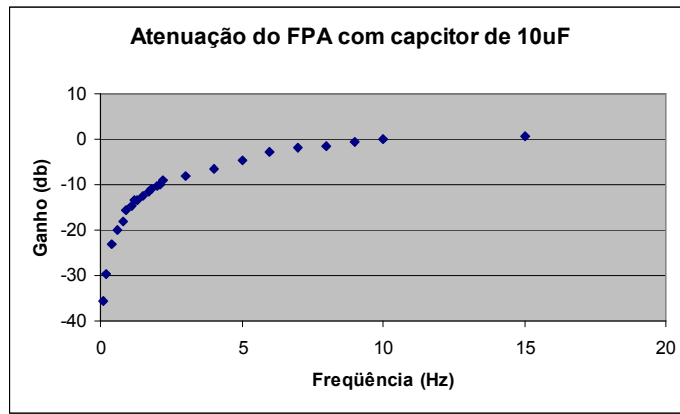


Figura 43: Gráfico de atenuação dos FPA com capacitor 10uF e frequência de corte de 0,1Hz.

A figura a seguir mostra o circuito do módulo de filtro passa-baixa.

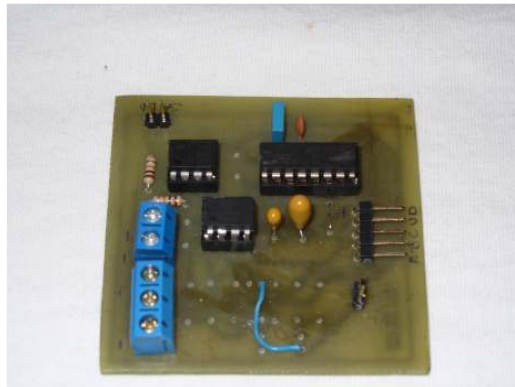


Figura 44: Circuito de Filtro Passa-Baixa.

A atenuação do filtro passa-baixa pode ser observada através dos gráficos a seguir, onde cada gráfico corresponde a uma configuração com um dos capacitores.

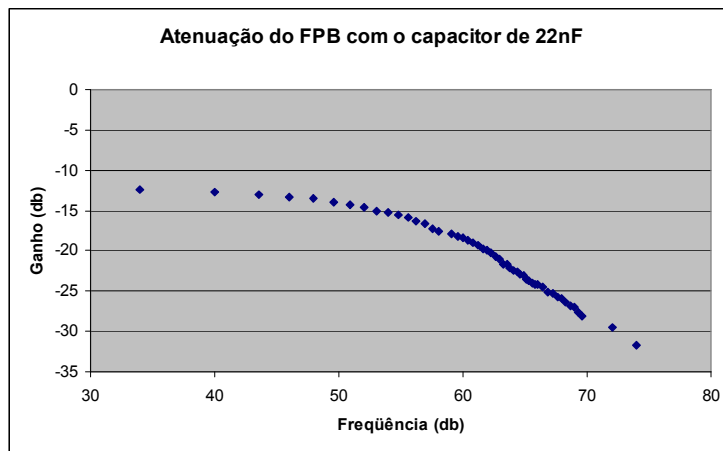


Figura 45: Gráfico de atenuação dos FPB com capacitor 22nF e frequência de corte de 100Hz.

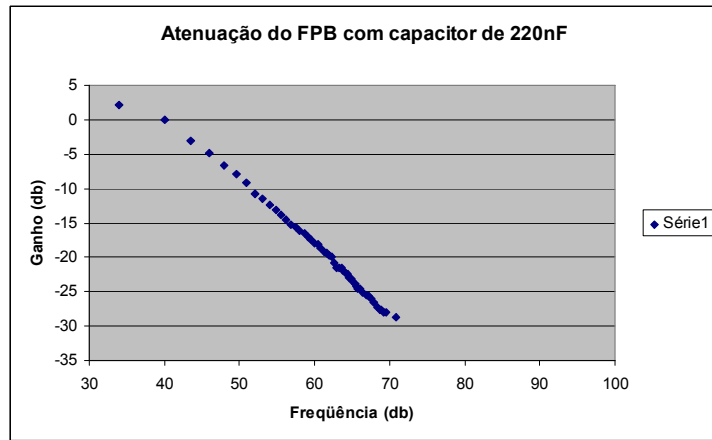


Figura 46: Gráfico de atenuação dos FPB com capacitor 220nF e frequência de corte de 100Hz.

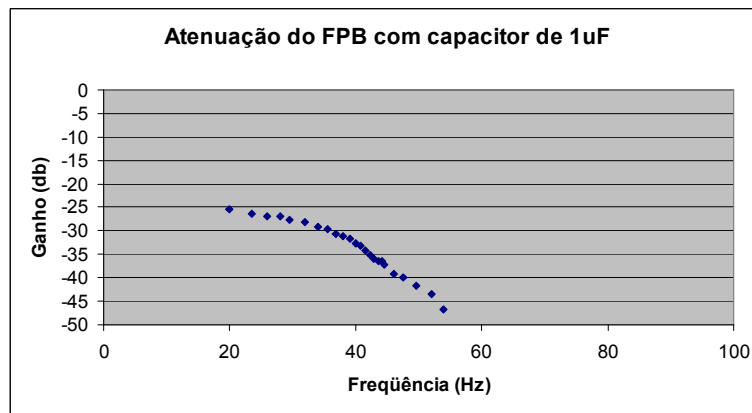


Figura 47: Gráfico de atenuação dos FPB com capacitor 1uF e frequência de corte de 100Hz.

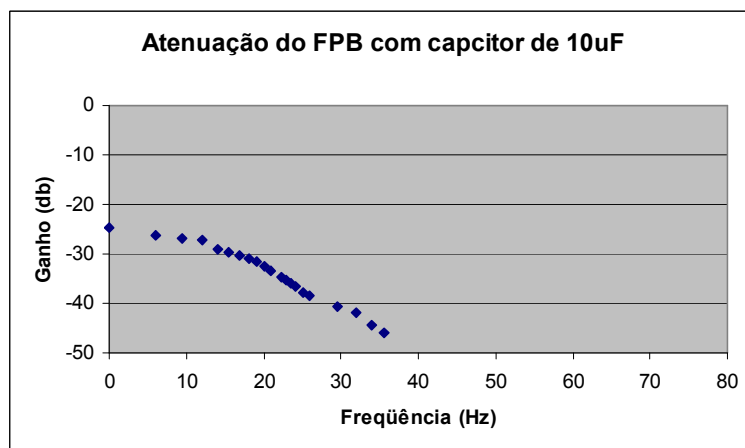


Figura 48: Gráfico de atenuação dos FPB com capacitor 10uF e frequência de corte de 10Hz.

O módulo de ganho amplifica o sinal aplicado no módulo, porém como nos outros módulos ocorrem pequenas diferenças, não sendo exatamente o valor inserido pelo usuário, pois há um arredondamento no valor calculado da resistência para a aplicação nos potenciômetros e há ainda o erro dos componentes discretos.

O sinal aplicado no módulo de ganho deve ser no máximo de 4V, não precisando ser grampeado pois já há circuitos grampeadores de 1V no circuito, ou seja, o sinal na saída dos grampeadores não podem ultrapassar 5V pois pode queimar os potenciômetros.

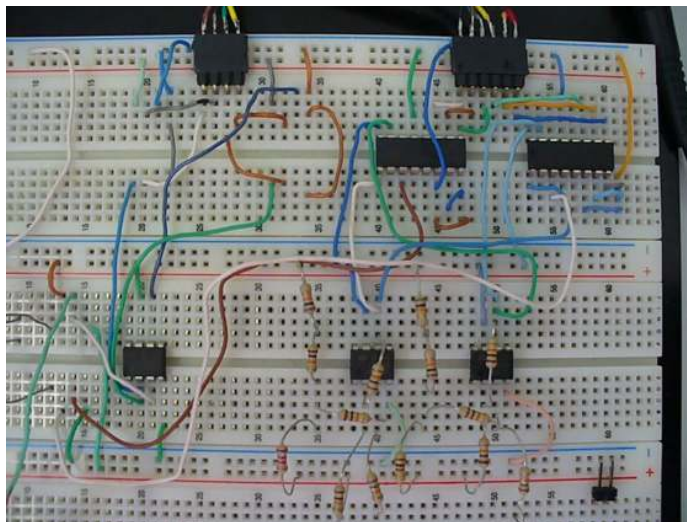


Figura 49: Circuito do módulo de ganho.

A fonte de alimentação apesar dos capacitores de desacoplamento, diodos de proteção, e alimentar o sistema em estrela, apresentava um pouco de ruído por ser ligada a rede elétrica, isto não causou conseqüências no sistema, mas se torna difícil a aplicação e análise de sinal com amplitudes de mV.



Figura 50: Circuito da fonte de alimentação.

A interface do software ficou fácil e amigável para o usuário, sendo muito intuitivo, como pode ser observado nas figuras 41, 42 e 43. O software cumpriu a sua proposta de calcular as resistências associando-as aos valores dos potenciômetros, tomando o cuidado de não ultrapassar o valor máximo do potenciômetro quando relacionado à resistência e o capacitor selecionado pelo usuário nos módulos de filtro.

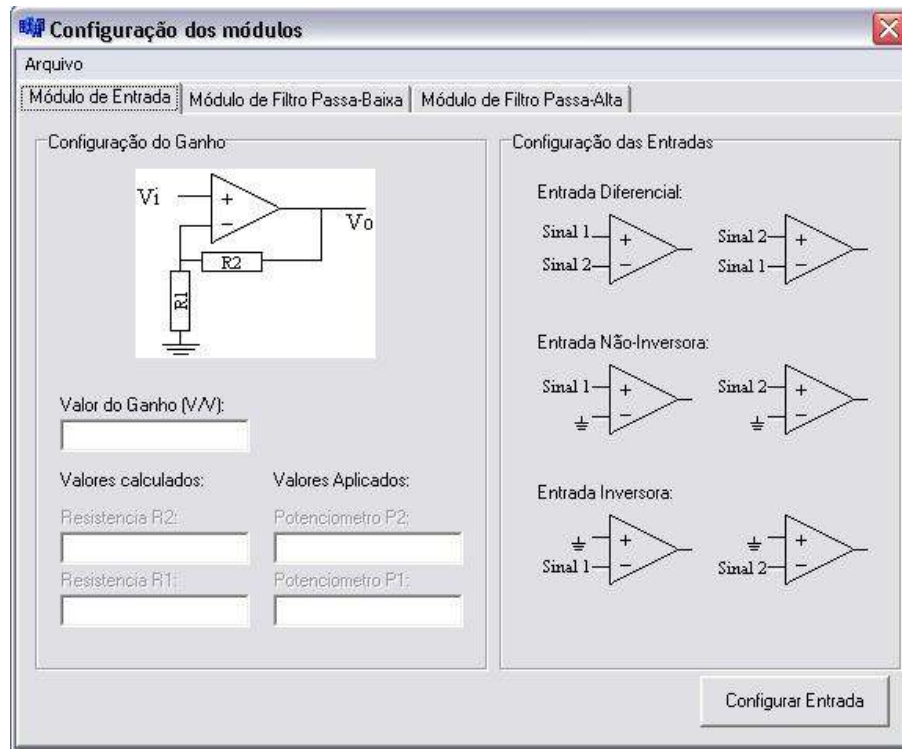


Figura 51: Tela do módulo de ganho.

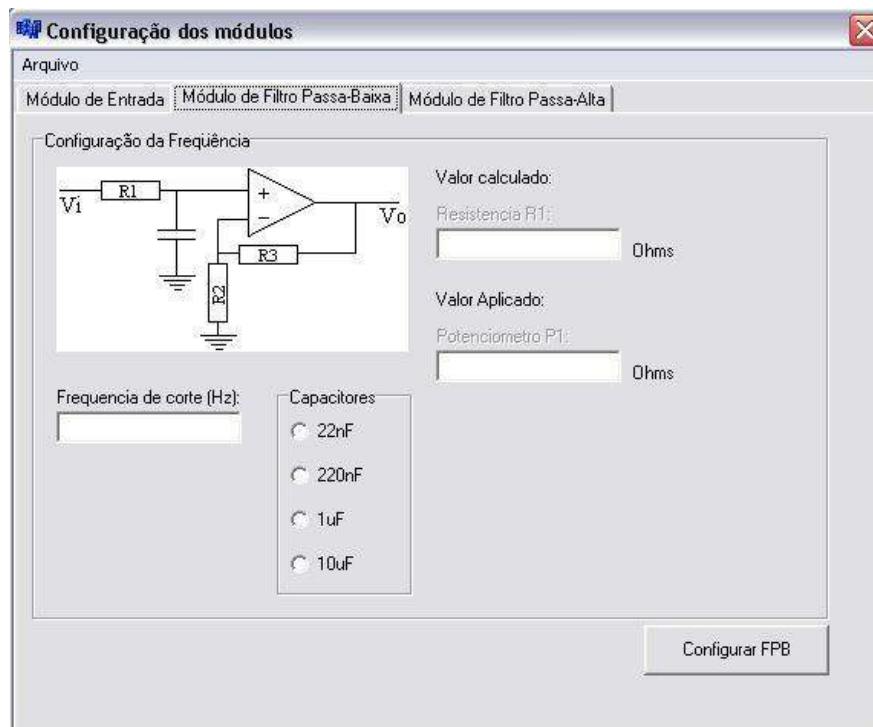


Figura 52: Tela do filtro Passa-Baixa.

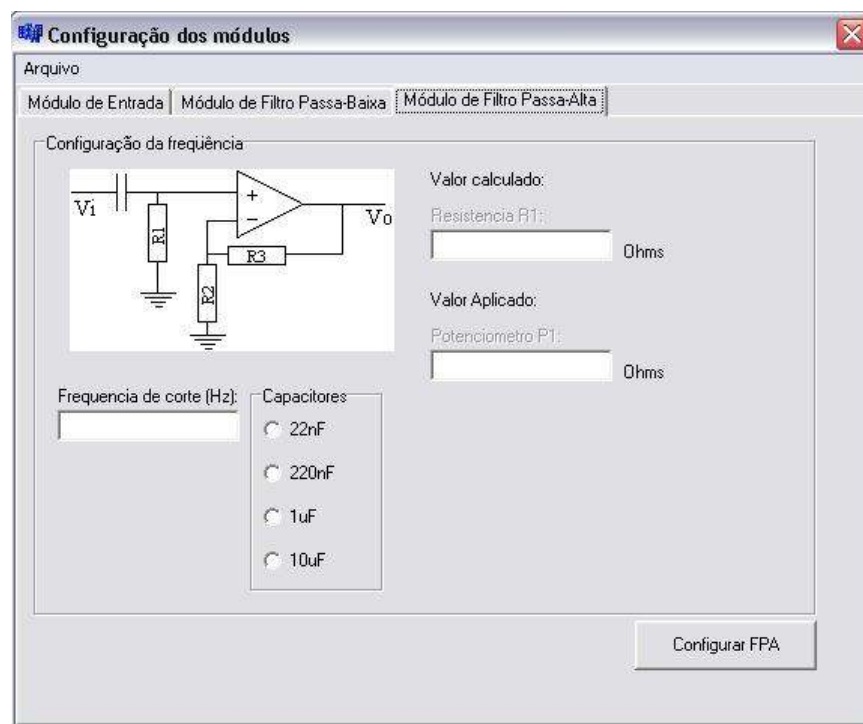


Figura 53: Tela do Filtro Passa-Alta.

CAPITULO 6 – CONCLUSÃO

O sistema cumpriu o que foi proposto funcionando muito bem dentro do esperado. Apesar da instalação e montagem serem um tanto quando trabalhosos devido aos cabos de alimentação e cabos de configuração entre módulos, ficou fácil e acessível para o usuário.

O software cumpriu o que era esperado calculando, montando o protocolo e fazendo a comunicação serial. Apesar de ocorrerem alguns problemas de comunicação entre a thread serial e o firmware, foi possível a apresentação do mesmo utilizando o debug do matlab, podendo ser observada a configuração dos módulos em tempo real.

O sistema pode ser melhorado desenvolvendo novos filtros com potenciômetros de maior resolução, mais capacitores de valores diferentes aumentando assim a faixa de frequência de operação dos filtros e aumentando a ordem dos filtros para sejam mais precisos. Outra melhoria seria a implementação de novos módulos de filtros passa-faixa e rejeita-faixa. Aumentando a resolução do potenciômetro e a ordem do filtro é possível verificar melhor a atenuação do filtro que atualmente atenua o sinal em alguns mV a cada variação de resistência.

Outros trabalhos que podem ser desenvolvidos com este projeto é a implementação de algoritmos genéticos para o controle da configuração dos módulos, assim este poderá ser configurado de uma forma melhor, pois o algoritmo tenderá a uma solução ótima, verificando possíveis problemas e limitações do circuito eletrônico, configurando um sistema de hardware evolutivo. Para isso é necessário também a modificação do hardware, para que possua componentes

REFERENCIAS BIBLIOGRAFICAS

ACTEL. Fusion Programmable System Chip. Disponível em: <http://www.actel.com>. Acesso em: março de 2008.

ANADIGM. Dynamic Programmable Analog Signal. Disponível em: <http://www.anadigm.com>. Acesso em: março de 2008.

GREENWOOD, W. Garryson, et al. Introduction to Evolvable Hardware: A Practical Guide for Designing Self-Adaptive Systems. IEEE. Computational Intelligence Society, Sponsor, 2007.

HIGUCHI, T., et al. Real-World Applications of Analog and Digital Evolvable Hardware. IEEE. Transactions on Evolutionary Computation. VOL. 3, N. 3, September of 1999.

PERTENCE, Antonio. Amplificadores operacionais e filtros ativos. Porto Alegre: Bookman, 2003, 6ª edição.

TOCCI, Ronald J. Sistemas Digitais: princípios e aplicações. São Paulo: Prentice Hall, 2003, 8º edição.